

Attorney's Docket No. 5649-1168

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Seong-Ho Kim, et al.

Serial No.: TBA

Filed: Concurrently herewith

For: **SELF-ALIGNED SEMICONDUCTOR CONTACT STRUCTURES AND
METHODS FOR FABRICATING THE SAME**

Date: October 28, 2003


Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of
Korean priority Application No. 2002-66874 filed October 31, 2002.

Respectfully submitted,


Julie H. Richardson
Registration No. 40,142

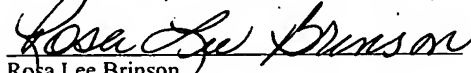
Myers Bigel Sibley & Sajovec
PO Box 37428
Raleigh NC 27627
Tel (919) 854-1400
Fax (919) 854-1401

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 318419839 US

Date of Deposit: October 28, 2003

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450


Rosa Lee Brinson



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0066874
Application Number

출원 년 월 일 : 2002년 10월 31일
Date of Application OCT 31, 2002

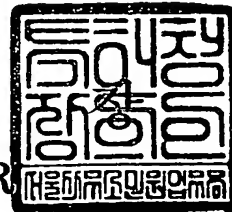
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 10 일

특 허 청

COMMISSIONER





1020020066874

출력 일자: 2003/10/17

【서지사항】

【서류명】	서지사항 보정서
【수신처】	특허청장
【제출일자】	2003.07.07
【제출인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【사건과의 관계】	출원인
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【사건의 표시】	
【출원번호】	10-2002-0066874
【출원일자】	2002.10.31
【심사청구일자】	2002.10.31
【발명의 명칭】	자기 정렬 접촉 구조 및 그 형성 방법
【제출원인】	
【접수번호】	1-1-2002-0360330-67
【접수일자】	2002.10.31
【보정할 서류】	특허출원서
【보정할 사항】	
【보정대상항목】	발명자
【보정방법】	정정
【보정내용】	
【발명자】	
【성명의 국문표기】	김성호
【성명의 영문표기】	KIM,SEONG HO
【주민등록번호】	720505-1653010



【우편번호】	449-900
【주소】	경기도 용인시 기흥읍 농서리 산7-1 월계수동 214호
【국적】	KR
【발명자】	
【성명의 국문표기】	박동건
【성명의 영문표기】	PARK,DONG GUN
【주민등록번호】	590218-1053119
【우편번호】	463-500
【주소】	경기도 성남시 분당구 구미동 무지개마을 제일 아파트 801동 401호
【국적】	KR
【발명자】	
【성명의 국문표기】	이창섭
【성명의 영문표기】	LEE,CHANG SUB
【주민등록번호】	680715-1109521
【우편번호】	441-400
【주소】	경기도 수원시 권선구 곡반정동 579번지 한솔아파트 104동 1 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	최정동
【성명의 영문표기】	CHOE,JEONG DONG
【주민등록번호】	690726-1550311
【우편번호】	431-719
【주소】	경기도 안양시 동안구 달안동 샛별한양아파트 302동 905호
【국적】	KR
【발명자】	
【성명의 국문표기】	김성민
【성명의 영문표기】	KIM,SUNG MIN
【주민등록번호】	740116-1772529
【우편번호】	403-727



1020020066874

출력 일자: 2003/10/17

【주소】	인천광역시 부평구 부개3동 삼부아파트 108동 2204호
【국적】	KR
【발명자】	
【성명의 국문표기】	이신애
【성명의 영문표기】	LEE, SHIN AE
【주민등록번호】	770809-2808414
【우편번호】	440-600
【주소】	경기도 수원시 장안구 수원우체국사서함 125호 15동 519호
【국적】	KR
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에 의하여 위와 같 이 제출합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【보정료】	0 원
【기타 수수료】	원
【합계】	0 원

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.10.31
【발명의 명칭】	자기 정렬 접촉 구조 및 그 형성 방법
【발명의 영문명칭】	SELF-ALIGNED CONTACT STRUCTURE AND METHOD FOR FABRICATING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김성호
【성명의 영문표기】	KIM,SUNG HO
【주민등록번호】	720505-1653010
【우편번호】	449-901
【주소】	경기도 용인시 기흥읍 농서리 산 7-1 월계수동 214호
【국적】	KR
【발명자】	
【성명의 국문표기】	김성민
【성명의 영문표기】	KIM,SUNG MIN
【주민등록번호】	740116-1772529
【우편번호】	403-103
【주소】	인천광역시 부평구 부개3동 삼부아파트 108동 2204호
【국적】	KR

【발명자】

【성명의 국문표기】 이신애
 【성명의 영문표기】 LEE, SIN AE
 【주민등록번호】 770809-2808414
 【우편번호】 440-600
 【주소】 경기도 수원시 장안구 수원우체국사서함 125호 15동 519호
 【국적】 KR

【발명자】

【성명의 국문표기】 최정동
 【성명의 영문표기】 CHOE, JEONG DONG
 【주민등록번호】 690726-1550311
 【우편번호】 431-058
 【주소】 경기도 안양시 동안구 달안동 샛별한양아파트 302동 905호
 【국적】 KR

【발명자】

【성명의 국문표기】 박동건
 【성명의 영문표기】 PARK, DONG GUN
 【주민등록번호】 590218-1053119
 【우편번호】 463-500
 【주소】 경기도 성남시 분당구 구미동 무지개마을 제일 아파트 801동 401호
 【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 임창현 (인) 대리인
 권혁수 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	35 면	35,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	26 항	941,000 원
【합계】		1,005,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

자기 정렬 접촉 구조 및 그 형성 방법이 제공된다. 게이트 전극을 균일하게 덮도록 반도체 기판 상에 라이너 질화막이 얇게 형성된 후 게이트 전극 사이의 공간을 완전히 채우며 상부가 평탄한 층간 절연막이 형성된다. 상기 라이너 질화막에 대해서 식각 선택비가 있는 조건으로 상기 층간 절연막을 식각 하여 자기 정렬 접촉 창을 형성한다. 이때, 라이너 질화막이 얇기 때문에, 식각이 진행됨에 따라 게이트 전극 상부가 취약해지고 이에 따라 게이트 전극 상부의 라이너 질화막이 식각 되고 게이트 전극이 경사 식각 된다. 식각 되어 노출된 게이트 상부를 보호하기 위한 라이너 질화막이 추가로 성된다. 오버행이 발생하도록 상기 층간 절연막 상에 버퍼 절연막을 형성한다. 접촉 창 바닥이 노출되도록 상기 버퍼 절연막 및 라이너 질화막에 대한 에치백 공정을 진행한다. 이때, 두꺼운 버퍼 절연막에 의해 접촉 창 측벽의 라이너 질화막들은 보호된다. 이어서 접촉 창이 도전물질로 채워진다.

【대표도】

도 1

【색인어】

자기 정렬 접촉(SAC:self-aligned contact), 실리사이드(silicide), 살리사이드(salicide)

【명세서】

【발명의 명칭】

자기 정렬 접촉 구조 및 그 형성 방법{SELF-ALIGNED CONTACT STRUCTURE AND METHOD FOR FABRICATING THE SAME}

【도면의 간단한 설명】

도1은 본 발명의 일 실시예에 따른 자기 정렬 접촉 구조를 개략적으로 도시한 반도체 기판의 일부 단면도이다.

도2는 본 발명의 다른 실시예에 따른 자기 정렬 접촉 구조를 개략적으로 도시한 반도체 기판의 일부 단면도이다.

도3a 내지 도3i는 본 발명에 따른 자기 정렬 접촉 구조를 형성 하는 방법의 공정 순서에 따른 주요 공정 단계에서의 반도체 기판의 일부 단면도들이다.

도4a 내지 도4j는 본 발명에 따른 자기 정렬 접촉 구조를 형성 하는 방법을 이용하여 셀 영역 및 주변 회로 영역에서 동시에 실리사이드막을 형성 하는 방법을 설명하기 위해 공정 순서에 따른 주요 공정 단계에서의 반도체 기판의 일부를 도시한 단면도들이다.

도5a 내지 도5i는 본 발명에 따른 자기 정렬 접촉 구조를 형성 하는 방법을 이용하여 셀 영역 및 주변 회로 영역에서 동시에 실리사이드막을 형성 하는 또 다른 방법을 설명하기 위해 공정 순서에 따른 주요 공정 단계에서의 반도체 기판의 일부를 도시한 단면도들이다.

*도면의 주요 부분에 대한 부호의 설명

100: 반도체 기판 160, 160a, 160b: 게이트 전극

200,260,420: 질화막 라이너 240: 자기 정렬 접촉 창

280: 버퍼 절연막 300a: 자기 정렬 접촉 패드

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <10> 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로서, 더욱 상세하게는 자기 정렬 접촉 구조 및 그 형성 방법에 관한 것이다.
- <11> 반도체 소자 제조 기술은, 반도체 기판 상에 도전막(또는 도전 영역) 및 절연막을 차례 차례 형성 하고 상기 절연막에 의해 전기적으로 분리된 상하의 도전막들을 상기 절연막의 소정 부분에 형성 된 콘택을 통해서 서로 전기적으로 연결하는 공정들을 포함한다.
- <12> 일 예로 반도체 기억 소자 제조에 있어서, 게이트 전극 사이의 도전 영역(즉, 소오스 또는 드레인 영역)은 비트 라인 또는 저장 전극(storage node)에 전기적으로 연결되어야 한다. 이를 위해 게이트 전극을 완성한 후, 절연막을 형성 하고 사진식각 공정을 통해 절연막을 식각 하여 소오스 영역을 노출시키는 접촉 창을 형성 한 후, 상기 접촉 창에 도전물질을 채워 비트 라인 콘택 플러그를 형성 한다. 이어서 상기 비트 라인 콘택 플러그에 전기적으로 접속하는 비트 라인을 형성 하고 다시 절연막을 증착 한 후 이를 식각하여 드레인 영역을 노출시키는 접촉 창을 형성 한 후 저장 전극 콘택 플러그를 형성 한다. 이어서 상기 저장 전극 콘택 플러그에 전기적으로 접속하는 저장 전극을 형성 한다.
- <13> 하지만 반도체 소자 제조 기술의 발달로 최소 선폭이 감소함에 따라, 소자들(게이트 전극들) 사이의 간격은 점점 좁아지고 있다. 그 결과 절연막을 뚫고 형성되는 접촉 창의 가로세

로비(aspect ratio)가 증가하여 접촉 창 형성을 위한 절연막 식각 공정에서 접촉 창이 완전히 뚫려지지 않는 문제 등이 발생 하고 있다. 또한 사진식각 공정의 오정렬 마진(misalignment margin)이 감소하여 오정렬 발생시 게이트 전극이 노출되어 원치 않는 미세한 전기적 연결(electrical bridge)이 발생 할 수 있다.

<14> 이에 따라, 콘택홀의 가로세로비를 감소시키고 오정렬에 따른 전기적 연결을 방지하기 위해, 자기 정렬 접촉(self-aligned contact) 기술이 널리 사용되고 있다. 자기 정렬 접촉 기술은 특정 식각 가스에 대한 두 절연막 사이의 식각율 차이를 이용한 기술이다. 간략히 설명을 하면, 게이트 전극의 상부 및 측벽 상에 일 절연막(예컨대, 실리콘 질화막)을 형성하여 게이트 전극을 보호하고, 상기 일 절연막에 대해서 식각선택비를 갖는 다른 절연막(예컨대, 실리콘 산화막)으로서 층간절연막을 형성한 후, 사진식각 공정을 통해서 상기 층간절연막을 선택적으로 식각 하여 게이트 전극 사이의 도전영역들을 노출시키는 접촉 창을 형성하고 여기에 도전물질을 채워 자기 정렬 접촉 패드들을 형성한다. 따라서, 이와 같은 통상적인 자기 정렬 접촉 기술에 따르면, 게이트 전극이 실리콘 질화막으로 보호되기 때문에, 오정렬이 발생하더라도, 층간절연막(실리콘 산화막)을 식각 할 때, 게이트 전극, 특히 게이트 상부는 노출되지 않는다.

<15> 이와 같은 통상적인 자기 정렬 접촉 기술에서, 게이트 전극을 완전히 보호하기 위해, 실리콘 질화막 캐핑막을 게이트 전극 상부에 형성하고 실리콘 질화막 측벽 스페이서를 게이트 전극 측벽에 형성 하는 것이 필수적이다. 이와 같은 스페이서 및 캐핑막으로 인해 후술하는 여러 문제점들이 발생한다.

<16> 실리콘 질화막 캐핑막으로 인해 게이트 전극 형성을 위한 게이트 적층 구조물의 높이가 증가하고 실리콘 질화막 측벽 스페이서로 인해 인접한 게이트 사이의 공간이 감소한다. 따라서, 인접한 게이트 전극 사이의 공간이 층간절연막으로 완전히 채워지지 않고 보이드(void)가 발

생하여 후속 공정에서 원치 않는 전기적 연결이 발생한다. 또한, 게이트 적층 구조물의 높이가 높기 때문에 할로(hallo) 이온주입이 매우 어렵게 된다. 또, 측벽 스페이서로 인해, 자기 정렬 접촉 창에 의해 노출되는 도전영역(소오스 및 드레인 영역들)의 면적이 제한을 받고, 이에 따라 자기 정렬 접촉 저항 확보가 어렵게 된다. 또, 게이트 전극이 실리콘 질화막으로 둘러싸여 지기 때문에, 부하 용량(load capacitance)이 증가하게되어 소자 동작 속도가 감소하게 된다.

<17> 한편, 논리 회로를 구성하는 트랜지스터의 경우, 고속도 동작을 위해서 자기정렬실리사이드(살리사이드:salicide) 기술을 사용한다. 즉, 게이트 전극 상부 및 그 양측의 소오스/드레인 영역들 상에 전이금속(refractory metal)을 형성하고 열처리를 하여 전이금속 및 실리콘 사이의 특이적인 반응을 통해서 실리사이드막을 형성한다. 고속도 동작 및 고집적 기억소자를 위해서 논리 회로 및 기억 소자를 동일 칩에 형성함에 있어서, 상기와 같은 통상적인 자기 정렬 접촉 기술을 적용할 경우, 여러 문제들이 발생한다.

<18> 기억 소자의 경우, 자기 정렬 접촉 기술을 적용하기 위해서는 게이트 전극 상부가 실리콘 질화막으로 보호되어야 한다. 하지만, 논리 소자의 경우, 실리사이드막 형성을 위해서 게이트 상부가 노출되어야 한다. 따라서, 이를 동시에 만족시키기 위해서는 공정이 매우 복잡해진다. 또한 기억 소자에 있어서도 낮은 게이트 저항을 확보하기 위해서 실리사이드막을 형성하는 것이 바람직하나, 게이트 상부가 실리콘 질화막으로 보호되기 때문에 실리사이드막 형성이 매우 어렵다. 또한, 논리 소자의 경우, 실리사이드막이 소오스/드레인 영역에 형성되기 때문에, 게이트 측벽 스페이서의 폭에 의존하는 소오스/드레인 영역의 길이를 길게 하기 위해서는, 게이트 측벽 스페이서가 두껍게 형성되어야 한다. 하지만 기억 소자가 형성되는 셀 영역에는

보이드 발생을 고려하여 측벽 스페이서가 상대적으로 얇게 형성되어야 한다. 이러한 양립하는 조건을 만족시키기는 매우 어려우며, 또 이를 만족시키기 위한 공정은 매우 복잡하다.

【발명이 이루고자 하는 기술적 과제】

- <19> 따라서, 이상에서 언급한 통상적인 자기 정렬 접촉 기술이 가지는 문제점들을 해결하기 위해 본 발명이 제안되었다.
- <20> 구체적으로, 본 발명의 목적은 자기 정렬 접촉 구조 및 그 형성 방법을 제공하는 것이다.
- <21> 본 발명의 다른 목적은 셀 영역에서 자기 정렬 접촉 구조를 형성함과 동시에 셀 어레이 영역 및 주변 회로 영역에서 동시에 게이트 전극 상부에 실리사이드막을 형성 하는 방법을 제공하는 것이다.

【발명의 구성 및 작용】

- <22> 상기 목적들을 달성하기 위한 본 발명의 자기 정렬 접촉 구조는, 게이트 전극이 실리콘 질화막 캐핑막 및 측벽 스페이서에 의해 둘러싸이는 통상적인 구조와 달리, 게이트 전극이 얇은 질화막 라이너로 둘러싸인 것을 일 특징으로 한다.
- <23> 이에 따라, 자기 정렬 접촉 창의 가로세로비가 감소하고, 접촉 저항을 확보할 수 있으며, 부하 용량을 줄일 수 있다. 또, 층간 절연막 증착시 보이드 발생을 방지할 수 있다.
- <24> 구체적으로, 상기 본 발명의 목적들을 달성하기 위한 자기 정렬 접촉 구조는, 서로 떨어져서 반도체 기판 상에 각각 게이트 절연막을 사이에 두고 배치되며, 서로 마주보는 상부는 경사진 프로파일을 가져 상기 상부의 폭이 하부보다 작은 게이트 전극들, 상기 반도체 기판 상에 배치되어 상기 게이트 전극들을 감싸는 제1라이너막, 상기 게이트 전극들 사이의 노출된 반도체



체 기판에 전기적으로 접속하고 서로 마주보는 게이트 전극 하부 측벽 및 상부의 경사진 측벽 상의 라이너막 상에 배치되어 상기 게이트 전극들 상부 표면으로 부터 돌출한 자기 정렬 접촉 패드, 상기 라이너막 및 돌출한 자기 정렬 접촉 패드 측벽 상에 배치된 층간 절연막, 그리고, 상기 접촉 패드 및 층간 절연막 사이에 개재하는 제2라이너막을 포함한다.

- <25> 상기 자기 정렬 접촉 구조에서, 상기 제2라이너막은 상기 경사진 게이트 전극 상부 상에 배치된 제1라이너막에서 연장하여 그것과 일체를 이루며 동일한 두께를 갖는다.
- <26> 상기 게이트 전극 하부 상에 배치된 제1라이너막의 두께는 그곳을 제외한 게이트 전극 상에 배치된 제1라이너막의 두께와 상기 제2라이너막의 두께를 합한 두께이다.
- <27> 상기 제2라이너막 및 상기 경사진 게이트 전극 상부 상의 제1라이너막과 상기 층간 절연막 사이에 배치된 버퍼 절연막을 더 포함할 수 있다.
- <28> 상기 제1라이너막 및 제2라이너막은 실리콘 질화막을 포함하고, 상기 층간 절연막 및 버퍼 절연막은 실리콘 산화막을 포함한다. 바람직하게는, 상기 층간 절연막은 단차 도포성 특성이 우수한 실리콘 산화막이고, 상기 버퍼 절연막은 단차 도포성 특성이 불량한 실리콘 산화막이다.
- <29> 상기 본 발명의 목적들을 달성하기 위한 자기 정렬 접촉 형성 방법은, 통상적인 방법과 달리, 게이트 측벽 스페이서 질화막 및 캐핑 질화막을 형성하지 않고 게이트 전극 표면 상에 얇은 질화막 라이너를 형성 하는 것을 일 특징으로 한다. 이에 따라, 자기 정렬 접촉 창 형성을 위한 층간 절연막 식각 공정시 게이트 전극 상부가 일부 식각 되어 자기 정렬 접촉 창이 경사진 프로파일을 갖는다.

- <30> 즉, 게이트 전극이 얇은 질화막 라이너로 덮여있기 때문에, 후속 층간 절연막 식각 공정에서 게이트 상부가 지속적인 식각 손상을 받아 취약해지고, 이에 따라, 식각 공정에서 게이트 상부의 얇은 질화막이 식각 되어 게이트 전극 상부가 노출되고 노출된 게이트 상부가 식각 된다. 결과적으로, 경사진 프로파일을 갖는 접촉 창이 형성된다.
- <31> 노출된 게이트 상부를 보호하기 위해 질화막 라이너를 추가로 형성하고 단차 도포 특성이 불량한 절연막을 형성하여 오버행이 발생하도록 한다. 즉, 접촉 창 바닥에는 얇게 형성되고, 측벽 및 상부에는 두껍게 형성된다. 따라서, 식각을 진행하면, 접촉 창 바닥에는 절연막이 얇게 형성되어 있어, 그곳에서의 절연막 및 질화막 라이너가 식각 되어 하부의 도전 영역이 노출된다. 하지만 측벽은 절연막이 두껍게 형성되어있어 그곳에서의 질화막 라이너가 식각 되지 않는다.
- <32> 이와 같은 방법에 따르면, 게이트 적층 구조의 높이 및 이들 사이의 간격이 증가하기 때문에, 층간 절연막 형성시 보이드가 발생하지 않는다. 또, 비록 보이드가 발생하더라도, 층간 절연막에 대한 식각 공정을 진행 한 후 질화막 라이너가 형성되기 때문에 전기적 연결은 발생하지 않는다.
- <33> 또한, 게이트 적층 구조의 높이가 낮기 때문에, 형성되는 막질의 두께 또한 얇아 비용이 절감되고 단위시간당 작업량(throughput)은 증가하게 된다.
- <34> 구체적으로, 상기 본 발명의 목적을 달성하기 위한 자기 정렬 접촉 형성 방법은, 반도체 기판 상에 서로 떨어져서 평행하게 달리는 게이트 전극들을 형성 하는 단계와, 상기 반도체 기판 및 게이트 전극들 표면 상에 제1라이너막을 형성 하는 단계와, 상기 제1라이너막 상에 층간 절연막을 형성 하는 단계와, 상기 제1라이너막에 대해서 선택비가 있는 조건으로 상기 층간 절연막을 패터닝 하여 접촉 창을 형성 하는 단계와, 상기 접촉 창이 형성된 결과물 상에 제2라

이너막을 형성 하는 단계와, 상기 제2라이너막 상에 오버행이 발생하도록 버퍼 절연막을 형성 하여 상기 접촉 창 의 바닥에는 얇게 형성하고 측벽 및 상부로 갈수록 두껍게 형성 하는 단계와, 상기 버퍼 절연막 및 라이너막들 사이에 선택비가 없는 조건으로 에치백을 진행하여 상기 게이트 전극들 사이의 상기 반도체 기판을 노출시키는 단계와, 상기 자기 정렬 접촉 창을 완전히 채우도록 도전물질을 형성 하는 단계를 포함한다.

<35> 실시예에 따라서, 상기 도전물질을 형성하기 전에 상기 버퍼 절연막을 제거하는 단계를 더 포함할 수 있다. 이로 인해 접촉 창에 채워지는 도전물질의 상부 면적이 증가하기 때문에, 후속 공정에서 오정렬 마진을 더 증가시킬 수 있다.

<36> 상기 방법에서, 상기 제1라이너막 및 제2라이너막은 실리콘 질화막으로 형성되고, 층간 절연막은 상기 층간 절연막은 단차 도포성 특성이 우수한 산화막으로 형성되고, 상기 버퍼 절연막은 단차 도포성 특성이 불량한 산화막으로 형성된다.

<37> 상기 층간 절연막을 패터닝 하여 접촉 창을 형성 하는 단계에서, 식각이 진행되면서 상기 게이트 전극들 상부가 식각 손상을 받아 그곳에서의 제1라이너막이 동시에 식각 되고 이에 따라 노출된 상기 게이트 전극 상부가 경사 식각 된다.

<38> 상기 버퍼 절연막 및 라이너막들 사이에 선택비가 없는 조건으로 에치백을 진행하는 단계에서, 상기 접촉 창 상부 및 중심부 측벽 상의 라이너막들은 상기 버퍼 절연막에 의해서 보호되고 상기 접촉 창 바닥의 라이너막들은 식각 되며, 상기 버퍼 절연막이 임시 접촉 창 상부에 측벽에 잔류하여 측벽 스페이서가 형성된다.

<39> 상기 제1라이너막 형성 후 상기 층간 절연막 형성 전에, 희생 절연막을 형성 하는 단계와, 상기 희생 절연막을 에치백 하여 상기 게이트 전극을 노출시키는 단계와, 상기 노출된 게

이트 전극 상부에 금속 실리사이드막을 형성 하는 단계와, 잔류하는 희생 절연막을 제거하는 단계를 더 포함할 수 있다. 통상적인 자기 정렬 접촉 형성 방법과 달리 게이트 상부에 캐핑 질화막이 형성되지 않기 때문에 용이하게 게이트 전극을 노출시켜 그곳에 실리사이드막을 형성할 수 있다.

<40> 상기와 같은 자기 정렬 접촉 창 형성 방법을 이용하면, 논리 회로가 형성되는 영역, 즉 주변 회로 영역 및 기억 소자가 형성되는 영역, 즉 셀 어레이 영역에 동시에 실리사이드막을 형성 하는 것이 매우 용이해진다.

<41> 구체적으로, 상기 본 발명의 목적들을 달성하기 위한 셀 어레이 영역 및 주변 회로 영역에서 동시에 게이트 전극 상부에 실리사이드막을 형성 하는 방법은, 반도체 기판의 셀 영역 및 주변 회로 영역에 서로 떨어진 게이트 전극들을 각각 형성 하는 단계와, 상기 게이트 전극들을 형성 한 후 제1라이너막을 형성 하는 단계와, 상기 제1라이너막 상에 상기 셀 영역의 게이트 전극들 사이의 공간을 덮도록 버퍼 절연막을 형성 하는 단계와, 상기 희생 절연막을 형성 한 후 에치백 공정을 진행하여 상기 주변 회로 영역 상의 게이트 전극 측벽에 임시 측벽 스페이서를 형성 하는 단계와, 적어도 상기 임시 측벽 스페이서에 의해 노출된 반도체 기판 상에 금속 실리사이드막을 형성 하는 단계와, 상기 셀 영역에 잔존하는 버퍼 절연막 및 상기 주변 회로 영역의 임시 측벽 스페이서를 제거하는 단계와, 상기 잔존하는 버퍼 절연막 및 임시 측벽 스페이서를 제거한 후, 상부가 평탄한 층간 절연막을 형성 하는 단계와, 상기 제1라이너막에 대해서 선택비가 있는 조건으로 상기 셀 영역의 층간 절연막을 패터닝 하여 접촉 창을 형성 하는 단계와, 상기 접촉 창이 형성된 결과물 상에 제2라이너막을 형성 하는 단계와, 상기 제2라이너막 상에 오버행이 발생하도록 버퍼 절연막을 형성 하는 단계와, 상기 버퍼 절연막을 형성

한 후 에치백 공정을 진행하여 상기 셀 영역의 게이트 전극들 사이의 상기 반도체 기판을 노출시키는 단계와, 상기 접촉 창을 완전히 채우도록 도전물질을 형성 하는 단계를 포함한다.

<42> 상기 층간 절연막을 패터닝 하여 접촉 창을 형성 하는 단계에서, 식각이 진행되면서 상기 셀 영역의 게이트 전극들 상부가 식각 손상을 받아 그곳에서의 제1라이너막이 동시에 식각되고 이에 따라 노출된 상기 게이트 전극 상부가 경사 식각된다.

<43> 상기 버퍼 절연막이 형성된 후 진행되는 에치백 공정에서, 상기 접촉 창 상부 및 중심부 측벽 상의 라이너막들은 상기 버퍼 절연막에 의해서 보호되고 상기 접촉 창 바닥의 라이너막들은 식각되며, 상기 버퍼 절연막이 상기 접촉 창 상부 및 중심부 측벽에 잔류하여 측벽 스페이서가 형성된다.

<44> 상기 방법에서, 상기 게이트 전극들을 형성 한 후 이온 주입 공정을 진행하여 상기 게이트 전극들 양측의 반도체 기판에 저 농도 불순물 확산 영역들을 형성 하는 단계와, 상기 임시 측벽 스페이서를 형성 한 후 이온 주입 공정을 진행하여 상기 주변 회로 영역의 저 농도 불순물 확산 영역에 연속하는 고 농도 불순물 확산 영역들을 상기 임시 측벽 스페이서 양측의 반도체 기판에 형성 하는 단계를 더 포함한다.

<45> 일 실시예에 있어서, 상기 게이트 전극들은 폴리 실리콘으로 구성될 수 있다. 이때, 상기 희생 절연막이 형성된 후 진행되는 에치백 공정에서, 상기 셀 영역 및 주변 회로 영역의 게이트 전극들 상부가 노출되고, 상기 셀 영역 상의 희생 절연막은 그곳에서의 게이트 전극들 측벽 및 그 사이의 반도체 기판 상에 잔존한다. 이에 따라, 상기 금속 실리사이드막은 상기 노출된 게이트 전극들 상부에도 형성되고, 상기 금속 실리사이드막은 상기 고 농도 불순물 확산 영역 상에 형성된다.



- <46> 다른 실시예에 있어서, 상기 게이트 전극들은 폴리 실리콘 및 텅스텐 실리사이드 또는 폴리 실리콘 및 텅스텐이 차례로 적층된 막질로 구성될 수 있다. 이 경우, 상기 회생 절연막이 형성된 후 진행되는 에치백 공정에서, 상기 셀 영역 및 주변 회로 영역의 게이트 전극들 상부가 노출되고, 상기 셀 영역 상의 회생 절연막은 그곳에서의 게이트 전극들 측벽 및 그 사이의 반도체 기판 상에 잔존한다. 따라서, 상기 금속 실리사이드막은 주변 회로 영역의 게이트 전극 양측의 반도체 기판에만, 즉 고 농도 불순물 확산 영역 상에만 형성될 것이다.
- <47> 상기 회생 절연막을 형성 한 후 에치백 공정을 진행하기 전에, 상기 셀 영역을 덮는 포토레지스트 패턴을 형성 하는 단계를 더 포함할 수 있다. 이 경우, 셀 영역에는 금속 실리사이드막이 형성되지 않는다.
- <48> 상기 금속 실리사이드막을 형성 한 후, 상기 금속 실리사이드막을 보호하기 위한 보호 라이너막을 형성 하는 단계를 더 포함할 수 있다.
- <49> 상기 방법에서, 상기 버퍼 절연막을 제거하는 단계를 더 포함할 수 있다. 이로 인해 자기 정렬 접촉 패드의 상부 면적이 증가하여 후속 공정의 마진을 향상시킬 수 있다.
- <50> 상기 방법에서, 상기 제1라이너막, 제2라이너막 및 보호 라이너막은 실리콘 질화막으로 형성되고, 회생 절연막 및 버퍼 절연막은 실리콘 산화막으로 형성된다. 더 바람직하게는, 상기 층간 절연막은 단차 도포성 특성이 우수한 산화막으로 형성되고, 상기 버퍼 절연막은 단차 도포성 특성이 불량한 산화막으로 형성된다.
- <51> 이와 같은 방법에 따르면, 층간 절연막의 형성 두께를 조절함으로써, 주변 회로 영역에서 회생 절연막으로부터 형성되는 임시 측벽 스페이서의 두께를 아주 용이하게 두껍게 형성 할



수 있다. 또한 셀 영역 및 주변 회로 영역에 실리사이드막 형성을 위해 개별적인 사진식각 공정이 필요치 않아 공정이 단순해지며 용이하게 실리사이드막을 형성 할 수 있다.

<52> 이하에서는 첨부된 도면을 참조하여 본 발명의 실시예들에 대해서 상세히 설명을 한다.

<53> 첨부된 도면들에서 동일한 기능을 갖는 구성 요소에 대해서는 동일한 참조 번호를 사용하였고, 또한 명세서 전체에 있어서, 이들 동일한 구성 요소에 관한 중복적인 설명을 피하였다. 또 본 명세서 전체에 있어서, 라이너막(liner layer) 또는 라이너막을 형성한다는 것은, 그것이 형성되는 하부 구조물의 전체적인 윤곽을 따라 균일한 두께로 형성된 막질 또는 그렇게 형성한다는 것을 의미한다. 어떤 막질을 콘포말(conformal)하게 형성한다는 것도 동일한 의미이다.

<54> 도1은 본 발명의 일 실시예에 따른 자기 정렬 접촉 구조를 개략적으로 도시한 반도체 기판의 일부 단면도이다. 반도체 기판(100) 상에 게이트 전극들(160)이 서로 떨어져서 평행하게 달린다. 상기 게이트 전극들(160) 각각은, 폴리 실리콘 단일층으로 형성되거나 폴리 실리콘 상에 텅스텐 실리사이드 또는 텅스텐이 적층된 이중층으로 형성될 수 있다. 폴리 실리콘 단일층으로 게이트 전극이 이루어질 경우, 그 상부에 금속 실리사이드막을 더 포함할 수 있다. 전기적인 절연을 위해, 상기 게이트 전극들(160) 및 상기 반도체 기판(100) 사이에 게이트 절연막(140)이 개재한다. 게이트 전극(160)들 양측의 반도체 기판(100)에 도전 영역들인 불순물 확산 영역들(180)이 형성되어 있다. 게이트 전극들(160)을 절연시키고 그것 보다 더 높은 높이를 갖는 층간 절연막(220)이 상기 반도체 기판(100) 상에 배치된다. 자기 정렬 접촉 창(240)이 상기 층간 절연막(220)을 관통하여 상기 게이트 전극들(160) 사이의 불순물 확산 영역(180)을 노출시킨다. 상기 자기 정렬 접촉 창(240)은 상기 층간 절연막(220), 게이트 전극(160) 및 불순물 확산 영역(180)에 의해 정의된다. 상기 자기 정렬 접촉 창(240)의 상부 측벽(240a)은 상기 층

간 절연막(220)에 의해 정의된다. 상기 자기 정렬 접촉 창(240)의 중간부 측벽(240b)은 상기 게이트 전극(160) 상부에 의해 정의된다. 상기 자기 정렬 접촉 창(240)의 하부 측벽(240c)은 상기 게이트 전극(160) 하부 측벽 상에 배치된 라이너막(200)에 의해 정의된다. 상기 자기 정렬 접촉 창(240)의 바닥(240d)은 상기 불순물 확산 영역(180)에 의해 각각 정의된다. 즉, 상기 자기 정렬 접촉 창(240)은 게이트 전극(160)의 상부 및 불순물 확산 영역(180)을 노출 시킨다.

<55> 상기 자기 정렬 접촉 창(240)이 상기 게이트 전극(160)의 상부를 노출시키는 것이 본 발명의 일 특징이다. 또, 상기 접촉 창(240)의 중간부 측벽(240b)은 상기 게이트 전극(160)의 상부가 식각 되어 한정되며 이에 따라 그곳에서의 접촉 창의 프로파일은 경사진다. 즉, 게이트 전극(160)의 상부 및 이에 대응하는 자기 정렬 접촉 창(240)의 중간부 측벽(240b)은 양의 경사진 프로파일을 갖는다. 이에 따라, 게이트 전극(160)의 상부 폭 보다 하부 폭이 더 넓다.

<56> 상기 게이트 전극(160)의 상부, 즉 자기 정렬 접촉 창(240)의 중간부 측벽(240b) 상에는 제2라이너막(260)이 배치되고, 상기 게이트 전극(160)의 나머지 부분에는 제1라이너막(200)이 배치된다. 결국, 상기 게이트 전극들(160)은 얇은 라이너막들(200, 260)에 의해 둘러싸이며 이는 본 발명의 또 다른 특징이다. 상기 제2라이너막(260)은 상기 자기 정렬 접촉 창(140)의 상부 측벽(240a) 및 하부 측벽(240c) 상으로 연장한다.

<57> 상기 자기 정렬 접촉 창(240)이 도전물질로 완전히 채워져(상기 제2라이너막(260) 상에 도전물질이 배치되어) 자기 정렬 접촉 패드(300a)가 된다. 즉, 상기 자기 정렬 접촉 패드(300a)는 게이트 전극들(160) 사이의 불순물 확산 영역(180)에 전기적으로 접속하며, 상기 게이트 전극(160)으로부터 상기 라이너막들(200, 260)에 의해 전기적으로 절연된다.

- <58> 상기 접촉 구조에서, 라이너막들(200,260)은 실리콘 질화막을 포함하며; 상기 층간 절연막(220)은 실리콘 산화막을 포함한다.
- <59> 이와 같은 자기 정렬 접촉 구조에 따르면, 게이트 전극(160)이 얇은 라이너막들(200,260)로 둘러싸이기 때문에, 게이트 전극(160)의 높이를 줄일 수 있다. 이에 따라 층간 절연막(220)의 증착 두께를 낮출 수 있어 공정 단가 및 공정 시간을 줄일 수 있다. 또한 얇은 질화막 라이너로 인해 동일한 최소 선폭 하에서 인접한 게이트 전극들(160) 사이의 거리가 증가한다. 이에 따라, 불순물 확산 영역(180) 및 자기 정렬 접촉 패드(300a) 사이의 접촉 저항 특성을 향상시킬 수 있다. 또 게이트 전극(160)이 얇은 질화막 라이너로 둘러싸여 있기 때문에, 부하 용량을 줄일 수 있다.
- <60> 도2는 본 발명의 또 다른 실시예에 따른 자기 정렬 접촉 구조를 개략적으로 도시한 것이다. 도1과 비교해서, 버퍼 절연막(280a)이 자기 정렬 접촉 창(240)의 상부 측벽부(240a) 상에 배치된 제2라이너막(260) 및 자기 정렬 접촉 패드(300a) 사이에 더 개재한다. 상기 버퍼 절연막(280a)은 실리콘 산화막을 포함한다. 이로 인해 도1의 자기 정렬 접촉 구조에 비해서 부하 용량을 더 줄일 수 있다.
- <61> 이제 앞서 설명한 자기 정렬 접촉 구조들을 형성 하는 방법에 대하여 도3a 내지 도3i를 참조하여 설명을 한다. 설명의 편의 및 본 발명에 대한 보다 명확한 이해를 위해서 도면에는 단지 두 개의 게이트 전극 및 하나의 자기 정렬 접촉 창 및 접촉 패드를 도시하였다.
- <62> 먼저 도3a를 참조하면, 통상적인 방법에 따라 소자분리공정을 진행하여 소자분리영역(120)을 반도체 기판(100)에 형성한다. 예컨대, 얇은 트렌치 격리(STI) 방법 또는 국부실리콘 산화(LOCOS) 방법 등을 사용하여 형성한다.

- <63> 이어서, 열산화 공정을 수행하여 반도체 기판 전면에 게이트 산화막(140)을 형성한 후 게이트 전극을 형성하기 위해 도전물질을 상기 게이트 산화막(140) 상에 형성한다. 계속해서, 상기 도전물질을 패터닝 하여 게이트 전극들(160)을 형성한다. 상기 게이트 전극들(160)은 서로 평행하며 소정 거리(즉, 최소 선평에 대응하는 거리만큼) 떨어져 있다. 예컨대, 상기 게이트 전극들(160) 각각은 폴리 실리콘 단일막으로 형성 하거나, 폴리 실리콘 및 텅스텐 실리사이드 또는 폴리 실리콘 및 텅스텐이 차례로 적층된 이중막으로 형성 할 수 있다. 여기서, 통상적인 방법과 달리 게이트 전극 상부에 캐핑 질화막을 형성 하지 않은 것에 주목을 해야 한다.
- <64> 이어서, 게이트 전극을 구성하는 폴리 실리콘에 대한 재산화 공정을 진행한 후, 게이트 전극들을 이온주입 마스크로 사용하여 이온주입 공정을 진행하여 도전 영역, 즉 불순물 확산 영역들(180)을 형성한다. 상기 불순물 확산 영역들(180)은 상기 게이트 전극(160) 양측의 반도체 기판 내에 형성된다.
- <65> 다음 도3b를 참조하여, 상기 게이트 전극들(160) 및 불순물 확산 영역들(180)이 형성된 반도체 기판 상에 라이너막(200)을 형성한다. 상기 라이너막(200)은 후속 공정에서 형성 할 층간 절연막(220)에 대해서 식각선택비를 갖는 물질로 형성한다. 예컨대, 상기 층간 절연막을 실리콘 산화막으로 형성 할 경우, 상기 라이너막(200)을 실리콘 질화막으로 형성한다. 여기서, 통상적인 방법과 달리 게이트 전극 측벽에 측벽 스페이서가 형성되지 않는 것에 주목을 해야 한다. 본 발명의 일 실시예에 따르면, 상기 라이너막(200)으로서 얇은 두께의 실리콘 질화막이 콘포말하게 형성된다. 통상적인 방법의 경우, 측벽 스페이서를 형성하기 위해, 실리콘 질화막이 약 400 Å ~ 600 Å의 두께 범위로 형성되지만, 본 발명의 경우, 상기 라이너막(200)이 예컨대, 약 100 Å 이하로 형성된다. 따라서 단순히 산술적으로 계산을 해도 동일한 디자인 룰 (design rule) 하에서, 게이트 전극 사이의 간격을 통상적인 방법에 비해 약 300 Å 내지 500

A 정도 더 증가시킬 수 있다. 이는 상기 불순물 확산 영역(180) 및 후속 공정으로 형성될 자기 정렬 접촉 패드 사이의 접촉 저항 특성의 향상을 가져온다.

<66> 다음 도3c를 참조하여, 상기 라이너막(200) 상에 상기 게이트 전극들(160) 사이의 공간을 덮도록 층간 절연막(220)을 형성한다. 바람직하게 상기 층간 절연막(220)은 실리콘 산화막으로 형성한다. 더 바람직하게는 단차 도포성이 우수한 실리콘 산화막으로 형성한다. 상기 층간 절연막(220) 상에 자기 정렬 접촉 창을 한정하는 마스크 패턴, 예컨대, 포토레지스트 패턴(도시하지 않음)을 형성한다.

<67> 다음 도3d를 참조하여, 상기 포토레지스트 패턴을 식각 마스크로 사용하여 노출된 층간 절연막을 식각 한다. 상기 라이너막(200)에 대하여 식각선택비를 가지는 조건으로 상기 층간 절연막(220)에 대한 선택적인 식각을 진행하여 자기 정렬 접촉 창(240)을 형성한다. 이때, 식각이 진행되면서, 게이트 전극(160)의 상부 가장자리 부분(상부 모서리부분)은 식각 손상을 반복적으로 받게되고 이에 따라 그곳에서의 얇은 라이너막(200)이 취약해진다. 따라서, 식각이 진행됨에 따라, 게이트 전극(160) 상부의 얇은 라이너막이 식각 되고 이에 따라 노출된 게이트 전극(160) 상부가 일부 식각 되어 게이트 전극(160) 상부는 경사진 프로파일을 갖는다. 하지만, 상기 층간 절연막(220)에 대한 선택적 식각 공정으로 인해, 게이트 전극(160) 하부 및 이들 사이의 반도체 기판 상에 형성된 라이너막은 식각 되지 않는다. 따라서 게이트 전극들(160) 사이의 거리, 즉, 최소 선폭을 일정하게 유지할 수 있다.

<68> 형성된 자기 정렬 접촉 창(240)은, 상부 측벽(240a), 중간부 측벽(240b), 하부 측벽(240c) 및 바닥(240d)으로 구분될 수 있다. 상기 자기 정렬 접촉 창(240)의 상부 측벽(240a)은 상기 층간 절연막(220)에 의해 한정되며, 상기 중간부 측벽(240b)은 경사진 게이트 전극(즉, 게이트 상부)에 의해서 한정되며, 상기 하부 측벽(240c)은 게이트 전극 하부에 잔존하는 라이

너막에 의해 한정되고, 상기 바닥(240d)은 게이트 전극 사이의 불순물 확산 영역(180) 상의 라이너막(200)에 의해 한정된다.

<69> 여기서, 자기 정렬 접촉 창을 형성하기 위한 식각 공정에서, 게이트 전극 상부가 경사 식각 되는 것에 주목을 해야 한다. 이는 통상적인 자기 정렬 접촉 창 형성 방법과 완전히 상반되는 내용이다. 통상적인 자기 정렬 접촉 창 형성 공정은 게이트 전극을 절대로 노출시키지 않는다.

<70> 다음 도3e를 참조하여, 상기 노출된 게이트 전극(160)의 상부를 덮기 위해 게이트 보호 라이너막(260)을 형성한다. 이에 따라, 상기 게이트 전극들(160)은 라이너막들(200,260)에 의해 완전히 보호된다. 상기 게이트 전극(160)의 상부는 상기 게이트 보호 라이너막(260)으로 보호되고 나머지 게이트 전극은 상기 라이너막(200)으로 보호된다. 상기 게이트 보호 라이너막(260)은 상기 라이너막(200)과 동일한 물질로 형성될 수 있으며, 예컨대, 실리콘 질화막으로 형성된다. 또한 상기 보호 라이너막(260)은 약 200Å 이하로 형성된다.

<71> 다음 공정은 상기 접촉 창(240)의 바닥 상에 형성된 라이너막들(240,260)을 제거하여 상기 불순물 확산 영역(180)을 노출시키는 공정으로서, 도3f 및 도3g를 참조하여 설명을 한다. 먼저, 도3f를 참조하여, 단차 도포 특성이 불량한 버퍼 절연막(280)을 상기 게이트 보호 라이너막(260) 상에 형성 하여 오버행(overhang)이 발생하도록 한다. 즉, 상기 버퍼 절연막(280)은 상기 자기 정렬 접촉 창(240)의 바닥(240d) 및 하부 측벽(240c)에는 매우 얇게 형성되고 중심부 측벽(240b) 및 상부 측벽(240a)에는 두껍게 형성되며, 이에 따라 상기 접촉 창의 바닥을 노출시키는 개구부(250)를 한정한다.

- <72> 상기 버퍼 절연막(280)을, 예컨대, 화학 기상 증착 방법을 사용한 실리콘 산화막으로 형성한다. 상술한 바와 같이, 접촉 창(240)의 상부가 경사진 프로파일을 갖기 때문에, 오버행 형성이 더 용이하다.
- <73> 다음 도3g를 참조하여, 상기 버퍼 절연막(280)이 형성된 결과의 반도체 기판 전면에 대하여 에치백 공정을 진행한다. 상기 에치백 공정은 버퍼 절연막 및 라이너막들을 동시에 식각한다. 이에 따라, 상기 버퍼 절연막(280)에 의해 한정된 개구부(250)에 의해 노출된 상기 접촉 창(240) 바닥 상의 얇은 버퍼 절연막 및 그 하부의 라이너막들은 제거되고 상기 불순물 확산 영역(180)은 노출된다. 이때, 상기 접촉 창(240)의 중심부 측벽들(240b) 및 상부(240a)에는 버퍼 절연막이 두껍게 형성되어 있기 때문에, 상기 불순물 확산 영역(180)이 노출될 때 버퍼 절연막 일부가 스페이서 형태로 잔류(280a)하며, 이로 인해 상기 에치백 공정에서 접촉 창(240)의 중심부 측벽 및 상부 상의 라이너막들을 보호하여 게이트 전극이 노출되지 않게 된다. 여기서, 상기 게이트 보호 라이너막(260)이 후술할 도전막(300) 형성 전에 형성되어 있기 때문에, 비록 상기 층간 절연막(220)이 형성될 때 게이트 전극들 사이에 보이드(void)가 발생하더라도, 원치 않는 전기적 연결은 발생하지 않는다.
- <74> 공정에 따라서는 게이트 전극 하부 측벽의 게이트 보호 라이너막(260)이 식각될 수도 있다.
- <75> 다음 도3h를 참조하여, 상기 접촉 창(240)을 도전물질(300)로 채운다. 계속해서 상기 층간 절연막(220)의 상부가 노출될 때까지, 식각 공정을 진행하여 도3i에 도시된 바와 같이 자기 정렬 접촉 패드(300a)를 형성한다. 여기서, 공정에 따라서는 상기 잔류하는 버퍼 절연막(280a)을 제거한 후 도전물질을 채울 수 있다. 이 경우, 접촉 패드(300a)의 상부 면적이 증가하며, 이에 따라 후속 공정의 마진이 증가한다.

- <76> 이상에서 설명한 본 발명의 자기 정렬 접촉 형성 방법에 따르면, 통상적인 방법과 달리 게이트 전극 상부 및 게이트 전극 측벽이 각각 캐핑막 및 스페이서막이 형성되지 않는다. 따라서, 논리 소자가 형성되는 주변 회로 영역 및 기억 소자가 형성되는 셀 영역에 동시에 실리사이드막을 용이하게 형성 할 수 있다.
- <77> 이하에서 도4a 내지 도4j를 참조하여 이에 대하여 설명을 한다. 먼저 도4a를 참조하여 소자분리 공정을 진행하여 활성 영역을 한정하는 소자분리막(120)을 셀 영역(a) 및 주변 회로 영역(b)을 갖는 반도체 기판(100)에 형성한다. 열산화 공정 등을 통해서 상기 반도체 기판(100) 전면에 게이트 산화막(140)을 형성 한 후, 게이트 전극 형성을 위한 도전막을 상기 게이트 산화막(140) 상에 형성한다. 상기 게이트 전극 도전막을 패터닝 하여 상기 반도체 기판(100)의 셀 영역(a) 및 주변 회로 영역(b)에 각각 게이트 전극들(160a, 160b)을 형성한다. 셀 영역(a)에는 다수의 기억 소자들이 형성되기 때문에 게이트 전극들이 조밀하게 형성되는 반면 주변 회로 영역(b)에는 게이트 전극들이 상대적으로 드물게 형성된다. 상기 게이트 전극들(160a, 160b)은 예컨대, 폴리 실리콘으로 형성된다.
- <78> 게이트 전극들(160a, 160b)을 형성 한 후 재산화 공정을 진행하고 이온주입 공정을 진행하여 저 농도 불순물 확산 영역들(180a, 180b)을 게이트 전극들(160a, 160b) 양측의 반도체 기판에 형성한다.
- <79> 다음, 도4b를 참조하여 게이트 전극 및 불순물 확산 영역이 형성된 반도체 기판 전면에 라이너막(200) 및 희생 절연막(350)을 형성한다. 상기 라이너막(200)은 예컨대, 실리콘 질화막으로 형성한다. 상기 희생 절연막(350)은 예컨대 실리콘 산화막으로 형성한다.
- <80> 상기 셀 영역(a)에는 게이트 전극(160b)이 조밀하게 형성되어 있기 때문에, 셀 영역(a)에서 상기 희생 절연막(350)은 게이트 전극(160b) 사이의 공간을 완전히 덮으며, 실질적으로

평탄한 상부 표면을 갖는다. 하지만 주변 회로 영역(b)에서 희생 절연막은 하부 구조가 가지는 윤곽을 따라 콘포말하게 형성된다.

<81> 다음 도4c를 참조하여, 상기 희생 절연막(350)이 형성된 반도체 기판 전면에 대하여 에치백 공정을 진행한다. 이에 따라, 상기 주변 회로 영역(b)의 경우, 게이트 전극(160a)의 측벽에만 희생 절연막이 잔존하여 임시 측벽 스페이서(350a)가 형성된다. 즉, 주변 회로 영역(b)의 게이트 전극(160a)의 상부 및 그 양측의 저 농도 불순물 확산 영역(180a)이 노출된다. 이때, 노출되는 저 농도 불순물 확산 영역(후속 공정으로 고 농도 불순물 확산 영역이 형성되는 영역은 게이트 전극(160a)으로 부터 소정 거리, 즉 임시 측벽 스페이서(350a)의 폭(W)만큼 떨어져 있다. 환언하면, 상기 임시 측벽 스페이서(350a)에 의해 덮여지는 저 농도 불순물 확산 영역(최종적인 저 농도 불순물 확산 영역)의 길이(L)는 상기 임시 측벽 스페이서(350a)의 폭(W)에 좌우된다.

<82> 반면, 셀 영역(a)의 경우, 상기 희생 절연막(350)에 대한 에치백 공정으로 인해, 게이트 전극(160b)의 상부만이 노출되고, 게이트 전극 양측의 불순물 확산 영역(180b) 및 게이트 전극 측벽 상에는 여전히 희생 절연막이 잔존한다(350b).

<83> 여기서 상기 희생 절연막(350)의 형성 두께를 조절하여, 주변 회로 영역(b)의 임시 측벽 스페이서(350a)의 두께를 용이하게 조절할 수 있다. 이는, 노출되는 저 농도 불순물 확산 영역(180a) 및 게이트 전극(160a) 사이의 거리, 즉 저 농도 불순물 확산 영역의 최종적인 길이(L)를 원하는 대로 용이하게 조절할 수 있음을 의미한다.

<84> 다음 도4d를 참조하여, 계속해서 이온 주입 공정을 진행 한다. 이때, 게이트 전극들(160a, 160b) 및 잔존하는 희생 절연막, 즉 셀 영역의 잔존하는 희생 절연막(250b) 및 주변 회로 영역의 임시 측벽 스페이서(350a)가 이온주입 마스크로 사용된다. 이에 따라 주변 회로 영

역(b)에 고농도 불순물 확산 영역(180c)이 형성된다. 상기 고농도 불순물 확산 영역(180c)은 게이트 전극(160a) 양측의 저 농도 불순물 확산 영역(180a)에 연속하며, 상기 임시 측벽 스페이서(350a) 양측의 반도체 기판에 형성된다. 또한 노출된 게이트 전극들(160a, 160b) 상부에도 불순물 이온이 주입된다. 즉, 고농도 불순물 확산 영역(180c)이 형성되는 것과 동시에 게이트 전극(160a, 160b)이 도핑 된다.

<85> 여기서, 셀 영역(a) 및 주변 회로 영역(b)이 동일한 종류 예컨대, 동일한 엔모스 트랜지스터로 가정하였다. 물론, 주변 회로 영역(b)에 형성된 미도시된 피모스 트랜지스터용 게이트 전극은 포토레지스트 패턴에 의해 덮여져 그 상부가 보호될 것이다. 마찬가지로, 피모스 트랜지스터용 게이트 전극을 위한 이온주입 공정시 도면에 표시된 게이트 전극들(160a, 160b) 역시 포토레지스트 패턴에 의해 보호될 것이다.

<86> 계속해서, 노출된 주변 회로 영역(b)의 게이트 전극(160a) 상부 및 고농도 불순물 확산 영역(180c) 상에 그리고, 노출된 셀 영역(a)의 게이트 전극(160b) 상부에 실리사이드막 400a, 400b, 400c을 각각 형성한다. 즉, 고융점 전이금속을 콘포말하게 형성 하고 열처리 공정을 진행하여 노출된 부분들에서 실리콘 및 전이금속 사이의 실리사이드 반응을 통해서 실리사이드막을 형성한다. 이어서, 세정 공정을 통해 반응하지 않은 고융점 전이금속을 제거한다.

<87> 다음 도4e를 참조하여, 잔류하는 희생 산화막들(350a, 350b)을 제거한 후, 반도체 기판 전면에서 실리사이드막들(400a-c)을 보호하기 위한 실리사이드막 보호 라이너막(420)을 형성한다. 상기 실리사이드막 보호 라이너막(420)은 실리콘 질화막으로 형성한다. 상기 실리사이드막 보호 라이너막(420)은 형성 하지 않을 수도 있다. 또 공정에 따라서는, 주변 회로 영역(b) 상에 잔류하는 희생 산화막, 즉 측벽 스페이서(350a)의 일부는 잔류할 수도 있다.

- <88> 다음 도4f를 참조하여, 상기 실리사이드 보호 라이너막(420) 상에 상부가 평탄한 층간 절연막(220)을 형성한다. 즉, 먼저 층간 절연막을 두껍게 증착 한 후 화학적물리적 연마(CMP) 공정 또는 에치백 공정을 통해 평탄화 공정을 진행 한다. 상기 층간 절연막(220)은 상기 라이너막(200) 및 실리사이드 보호 라이너막(420)에 대해서 식각 선택비를 갖는 물질로 형성된다. 예컨대, 상기 층간 절연막(220)은 단차 도포성이 우수한 실리콘 산화막으로 형성된다.
- <89> 이후의 공정은 앞서 도3d 내지 도3i를 참조하여 설명한 방법과 동일하다. 즉, 도4g를 참조하여, 셀 영역(a) 상의 상기 층간 절연막(220)을 식각 하여 자기 정렬 접촉 창(240)을 형성한다. 이때, 전술한 바와 같이, 셀 영역(a)의 게이트 전극(160b)의 상부가 경사 식각 된다.
- <90> 다음 도4h를 참조하여, 게이트 보호 라이너막(260) 및 버퍼 절연막(280)을 앞서 설명한 방법과 동일하게 형성한다.
- <91> 다음 도4i를 참조하여, 상기 버퍼 절연막(280)이 형성된 결과의 반도체 기판 전면에 대하여 에치백 공정을 진행하여 접촉 창(240) 바닥 상의 라이너막들을 제거하여 저 농도 불순물 확산 영역(180b)을 노출 시킨다.
- <92> 다음 도4j를 참조하여 도전물질을 형성 하고 식각 공정을 진행하여, 자기 정렬 접촉 패드(300a)를 형성한다.
- <93> 상술한 방법에서 도4a에 도시된 바와 같이 게이트 전극을 폴리 실리콘으로 형성 하지 않고, 도5a에 도시된 바와 같이 폴리 실리콘(150) 및 텅스텐 실리사이드(155) 또는 폴리 실리콘(150) 및 텅스텐(155)이 차례로 적층된 다층막으로 형성 할 수 있다. 이 경우, 도5b에 도시된 바와 같이, 실리사이드막(400b)은 주변 회로 영역(b)의 게이트 전극(160a) 양측의 반도체 기판에 형성된 고농도 불순물 확산 영역(180c) 상에만 형성될 것이다.

- <94> 또한, 앞서 설명한 방법에서, 희생 절연막(350)을 형성 한 후 에치백 공정을 반도체 기판 전면에 대하여 실시하였으나, 도5a 및 도5b에 도시된 바와 같이, 셀 영역(a)을 덮는 포토레지스트 패턴(500)을 형성 한 후 에치백 공정을 진행할 수 있다.
- <95> 개략적으로 설명을 하면, 도5a를 참조하여, 폴리 실리콘(150) 및 텅스텐 실리사이드(155) 또는 폴리 실리콘(150) 및 텅스텐(155)이 차례로 적층된 다층막으로 게이트 전극을 형성 하고 이온 주입 공정을 진행하여 저 농도 불순물 확산 영역(180a, 180b)을 형성 하고, 버퍼 절연막(350)을 형성한다.
- <96> 다음 도5b를 참조하여, 셀 영역(a)을 덮는 포토레지스트 패턴(500)을 형성 한 후, 에치백 공정을 진행하여 주변 회로 영역(b)의 게이트 전극(160b)의 측벽에 임시 측벽 스페이서(350a)를 형성 하고 이온 주입 공정을 진행하여 주변 회로 영역(b)에 고 농도 불순물 확산 영역(180c)을 형성한다.
- <97> 다음, 상기 포토레지스트 패턴(500) 및 잔류하는 버퍼 절연막들(350, 350a)을 제거한다. 이 경우 셀 영역(a)의 게이트 전극(160b)의 상부는 노출되지 않기 때문에, 주변 회로 영역(b)에만 실리사이드막(400b)이 형성될 것이다.
- <98> 계속해서, 앞서 도4e 내지 도4j를 참조하여 설명한 공정들을 진행 한다.
- <99> 이제까지 본 발명에 대하여 그 바람직한 실시예(들)를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 본 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위

는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

【발명의 효과】

- <100> 상술한 본 발명에 따르는 효과를 통상적인 자기 정렬 접촉 공정과 비교하면 아래와 같다.
- <101> 통상적인 방법은, 층간 절연막 증착 시 보이드가 발생할 경우, 후속 자기 정렬 접촉 패드 형성 공정에서 원하지 않는 전기적 연결이 발생한다. 하지만 본 발명은, 측벽 스페이서 및 캐핑막이 없기 때문에 층간 절연막 형성시 보이드 발생의 거의 없으며, 비록 발생한다고 하더라도 질화막 라이너가 형성되기 때문에 전기적 연결은 발생하지 않는다.
- <102> 통상적인 방법은, 게이트 전극 적층 구조가 높고 인접한 게이트 전극 사이의 거리는 좁기 때문에 할로 이온주입이 불가능하다. 하지만, 본 발명은, 할로 이온 주입이 가능하다.
- <103> 통상적인 방법은, 캐핑 질화막 및 스페이서 질화막으로 인해 부하 용량이 크다. 하지만, 본 발명은 질화막 라이너로 인해 부하 용량이 작아 우수한 소자 동작 특성을 갖는다.
- <104> 통상적인 방법은, 스페이서 질화막으로 인해 인접한 게이트 전극 사이의 간격이 좁으며, 자기 정렬 접촉 저항 확보가 어렵고 집적화에 불리하다. 하지만, 본 발명은, 자기 정렬 접촉 저항 확보가 용이하고 집적화가 용이하다.
- <105> 통상적인 방법은, 셀 영역과 주변 회로 영역에 동시에 실리사이드막 형성이 매우 어렵다. 하지만, 본 발명은, 용이하게 셀 영역 및 주변 회로 영역에 동시에 실리사이드막을 형성할 수 있다. 또한 본 발명에 따르면, 주변 회로 영역의 게이트 전극의 측벽 스페이서 두께를 용이하게 조절할 수 있다.

<106> 또한 본 발명에 따르면, 게이트 전극의 높이가 낮고 이에 따라 층간 절연막의 두께 또한 낮출 수 있어, 공정 비용이 적게 들고 또한 단위시간당 작업량(throughput)을 높일 수 있다.

【특허청구범위】**【청구항 1】**

서로 떨어져서 반도체 기판 상에 각각 게이트 절연막을 사이에 두고 배치되며, 서로 마주보는 상부는 경사진 프로파일을 가져 상기 상부의 폭이 하부보다 작은 게이트 전극들;

상기 반도체 기판 상에 배치되어 상기 게이트 전극들을 감싸는 제1라이너막;

상기 게이트 전극들 사이의 노출된 반도체 기판에 전기적으로 접속하고, 서로 마주보는 게이트 전극 하부 측벽 및 상부의 경사진 측벽 상의 라이너막 상에 배치되어, 상기 게이트 전극들 상부 표면으로 부터 돌출한 자기 정렬 접촉 패드;

상기 라이너막 및 돌출된 자기 정렬 접촉 패드 측벽 상에 배치된 층간 절연막;

상기 접촉 패드 및 층간 절연막 사이에 개재하는 제2라이너막을 포함하는 자기 정렬 접촉 구조.

【청구항 2】

제1항에 있어서,

상기 제2라이너막은 상기 경사진 게이트 전극 상부 상에 배치된 제1라이너막에서 연장하여 그것과 일체를 이루며 동일한 두께를 갖는 자기 정렬 접촉 구조.

【청구항 3】

제1항 또는 제2항에 있어서,

상기 게이트 전극 하부 상에 배치된 제1라이너막의 두께는 그곳을 제외한 게이트 전극 상에 배치된 제1라이너막의 두께와 상기 제2라이너막의 두께를 합한 두께인 자기 정렬 접촉 구조.

【청구항 4】

제1항 또는 제2항에 있어서,

상기 제2라이너막 및 상기 경사진 게이트 전극 상부 상의 제1라이너막과 상기 층간 절연막 사이에 배치된 버퍼 절연막을 더 포함하는 자기 정렬 접착 구조.

【청구항 5】

제1항 또는 제2항에 있어서,

상기 제1라이너막 및 제2라이너막은 실리콘 질화막을 포함하고, 상기 층간 절연막은 실리콘 산화막을 포함하는 자기 정렬 접착 구조.

【청구항 6】

제4항에 있어서,

상기 제1라이너막 및 제2라이너막은 실리콘 질화막을 포함하고, 상기 층간 절연막 및 버퍼 절연막은 실리콘 산화막을 포함하는 자기 정렬 접착 구조.

【청구항 7】

제6항에 있어서,

상기 층간 절연막은 단차 도포성 특성이 우수한 실리콘 산화막이고, 상기 버퍼 절연막은 단차 도포성 특성이 불량한 실리콘 산화막인 자기 정렬 접착 구조.

【청구항 8】

반도체 기판 상에 서로 떨어진 게이트 전극들을 형성 하는 단계;

상기 반도체 기판 및 게이트 전극 상에 제1라이너막을 형성 하는 단계;

상기 제1라이너막 상에 층간 절연막을 형성 하는 단계;

상기 제1라이너막에 대해서 선택비가 있는 조건으로 상기 층간 절연막을 패터닝 하여 접촉 창을 형성 하는 단계;

상기 접촉 창이 형성된 결과물 상에 제2라이너막을 형성 하는 단계;

상기 제2라이너막 상에 오버행이 발생하도록 버퍼 절연막을 형성 하여 상기 접촉 창의 바닥에는 얇게 형성 하고 측벽 및 상부로 갈수록 두껍게 형성 하는 단계;

에치백 공정을 진행하여 상기 게이트 전극들 사이의 상기 반도체 기판을 노출시키는 단계;

상기 접촉 창을 완전히 채우도록 도전물질을 형성 하는 단계를 포함하는 자기 정렬 접촉 형성 방법.

【청구항 9】

제8에 있어서,

상기 도전물질을 형성하기 전에 상기 버퍼 절연막을 제거하는 단계를 더 포함 하는 자기 정렬 접촉 형성 방법.

【청구항 10】

제8항에 있어서,

상기 제1라이너막 및 제2라이너막은 실리콘 질화막으로 형성되는 자기 정렬 접촉 형성 방법.

【청구항 11】

제8항에 있어서,

상기 층간 절연막은 단차 도포성 특성이 우수한 산화막으로 형성되고, 상기 버퍼 절연막은 단차 도포성 특성이 불량한 산화막으로 형성되는 자기 정렬 접착 형성 방법.

【청구항 12】

제8항에 있어서,

상기 층간 절연막을 패터닝 하여 접착 창을 형성 하는 단계에서, 식각이 진행되면서 상기 게이트 전극들 상부가 식각 손상을 받아 그곳에서의 제1라이너막이 동시에 식각 되고 이에 따라 노출된 상기 게이트 전극 상부가 경사 식각 되는 자기 정렬 접착 형성 방법.

【청구항 13】

제8항 또는 제12항에 있어서,

에치백을 진행하는 단계에서,

상기 접착 창 상부 및 중간부 측벽 상의 라이너막들은 상기 버퍼 절연막에 의해서 보호되고 상기 접착 창 바닥의 라이너막들은 식각 되며,

상기 버퍼 절연막이 상기 접착 창 상부 및 중간부 측벽 상에 잔류하여 버퍼 절연막 측벽 스페이서가 형성되는 자기 정렬 접착 형성 방법.

【청구항 14】

제8항에 있어서,

상기 제1라이너막 형성 후 상기 층간 절연막 형성 전에,

희생 절연막을 형성 하는 단계;

상기 희생 절연막을 에치백 하여 상기 게이트 전극을 노출시키는 단계;

상기 노출된 게이트 전극 상부에 금속 실리사이드막을 형성 하는 단계;

잔류하는 희생 절연막을 제거하는 단계를 더 포함하는 자기 정렬 접촉 형성 방법.

【청구항 15】

반도체 기판의 셀 영역 및 주변 회로 영역에 서로 떨어진 게이트 전극들을 각각 형성 하는 단계;

상기 게이트 전극들을 형성 한 후 제1라이너막을 형성 하는 단계;

상기 제1라이너막 상에 상기 셀 영역의 게이트 전극들 사이의 공간을 덮도록 버퍼 절연막을 형성 하는 단계;

상기 희생 절연막을 형성 한 후 에치백 공정을 진행하여 상기 주변 회로 영역 상의 게이트 전극 측벽에 임시 측벽 스페이서를 형성 하는 단계;

적어도 상기 임시 측벽 스페이서에 의해 노출된 반도체 기판 상에 금속 실리사이드막을 형성 하는 단계;

상기 셀 영역에 잔존하는 버퍼 절연막 및 상기 주변 회로 영역의 임시 측벽 스페이서를 제거하는 단계;

상기 잔존하는 버퍼 절연막 및 임시 측벽 스페이서를 제거한 후, 상부가 평탄한 층간 절연막을 형성 하는 단계;

상기 제1라이너막에 대해서 선택비가 있는 조건으로 상기 셀 영역의 층간 절연막을 패터닝 하여 접촉 창을 형성 하는 단계;

상기 접촉 창이 형성된 결과물 상에 제2라이너막을 형성 하는 단계;

상기 제2라이너막 상에 오버행이 발생하도록 버퍼 절연막을 형성 하는 단계;

상기 버퍼 절연막을 형성 한 후 에치백 공정을 진행하여 상기 셀 영역의 게이트 전극들 사이의 상기 반도체 기판을 노출시키는 단계;

상기 접촉 창을 완전히 채우도록 도전물질을 형성 하는 단계를 포함하는 자기 정렬 접촉 형성 방법.

【청구항 16】

제15항에 있어서,

상기 층간 절연막을 패터닝 하여 접촉 창을 형성 하는 단계에서, 식각이 진행되면서 상기 셀 영역의 게이트 전극들 상부가 식각 손상을 받아 그곳에서의 제1라이너막이 동시에 식각 되고 이에 따라 노출된 상기 게이트 전극 상부가 경사 식각 되는 자기 정렬 접촉 형성 방법.

【청구항 17】

제15항 또는 제16항에 있어서,

상기 버퍼 절연막이 형성된 후 진행되는 에치백 공정에서,

상기 접촉 창 상부 및 중심부 측벽 상의 라이너막들은 상기 버퍼 절연막에 의해서 보호 되고 상기 접촉 창 바닥의 라이너막들은 식각 되며,

상기 버퍼 절연막이 상기 접촉 창 상부 및 중심부 측벽에 잔류하여 측벽 스페이서가 형성되는 자기 정렬 접촉 형성 방법.

【청구항 18】

제15항에 있어서,

상기 게이트 전극들을 형성 한 후 이온 주입 공정을 진행하여 상기 게이트 전극들 양측의 반도체 기판에 저 농도 불순물 확산 영역들을 형성 하는 단계;

상기 임시 측벽 스페이서를 형성 한 후 이온 주입 공정을 진행하여 상기 저 농도 불순물 확산 영역에 연속하는 고 농도 불순물 확산 영역들을 상기 임시 측벽 스페이서 양측의 반도체 기판에 형성 하는 단계를 더 포함하는 자기 정렬 접촉 형성 방법.

【청구항 19】

제18항에 있어서,

상기 게이트 전극들은 폴리 실리콘으로 구성되고,

상기 회생 절연막이 형성된 후 진행되는 에치백 공정에서,

상기 셀 영역 및 주변 회로 영역의 게이트 전극들 상부가 노출되고, 상기 셀 영역 상의 회생 절연막은 그곳에서의 게이트 전극들 측벽 및 그 사이의 반도체 기판 상에 잔존하며,

상기 금속 실리사이드막은 상기 주변 회로 영역의 고 농도 불순물 확산 영역 상에 형성 되고 또한 상기 노출된 게이트 전극들 상부에도 형성되는 자기 정렬 접촉 형성 방법.

【청구항 20】

제15항에 있어서,

상기 게이트 전극들을 형성 한 후 이온 주입 공정을 진행하여 상기 게이트 전극들 양측의 반도체 기판에 저 농도 불순물 확산 영역들을 형성 하는 단계;

상기 임시 측벽 스페이서를 형성 한 후 이온 주입 공정을 진행하여 상기 주변 회로 영역의 저 농도 불순물 확산 영역에 연속하는 고 농도 불순물 확산 영역들을 상기 임시 측벽 스페이서 양측의 반도체 기판에 형성 하는 단계를 더 포함하는 자기 정렬 접촉 형성 방법.

【청구항 21】

제20항에 있어서,

상기 게이트 전극들은 폴리 실리콘 및 텅스텐 실리사이드 또는 폴리 실리콘 및 텅스텐 이 차례로 적층된 막질로 구성되고,

상기 희생 절연막이 형성된 후 진행되는 에치백 공정에서,

상기 셀 영역 및 주변 회로 영역의 게이트 전극들 상부가 노출되고, 상기 셀 영역 상의 희생 절연막은 그곳에서의 게이트 전극들 측벽 및 그 사이의 반도체 기판 상에 잔존하며,

상기 금속 실리사이드막은 상기 주변 회로 영역의 상기 고 농도 불순물 확산 영역 상에 형성되는 자기 정렬 접촉 형성 방법.

【청구항 22】

제15항에 있어서,

상기 희생 절연막을 형성 한 후 에치백 공정을 진행하기 전에, 상기 셀 영역을 덮는 포토레지스트 패턴을 형성 하는 단계를 더 포함하는 자기 정렬 접촉 형성 방법.

【청구항 23】

제15항에 있어서,

상기 금속 실리사이드막을 형성 한 후, 상기 금속 실리사이드막을 보호하기 위한 보호 라이너막을 형성 하는 단계를 더 포함하는 자기 정렬 접촉 창 형성 방법.

【청구항 24】

제15항에 있어서,

상기 버퍼 절연막을 제거하는 단계를 더 포함하는 자기 정렬 접촉 형성 방법.

【청구항 25】

제15항에 있어서,

상기 제1라이너막, 제2라이너막 및 보호 라이너막은 실리콘 질화막으로 형성되는 자기 정렬 접착 형성 방법.

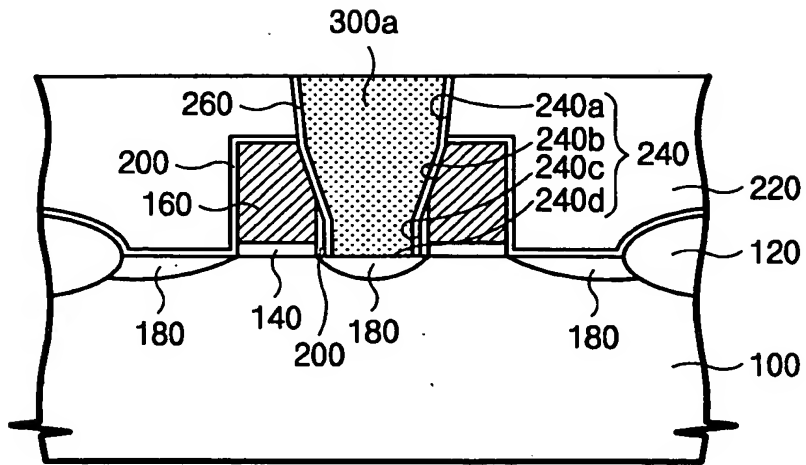
【청구항 26】

제15항에 있어서,

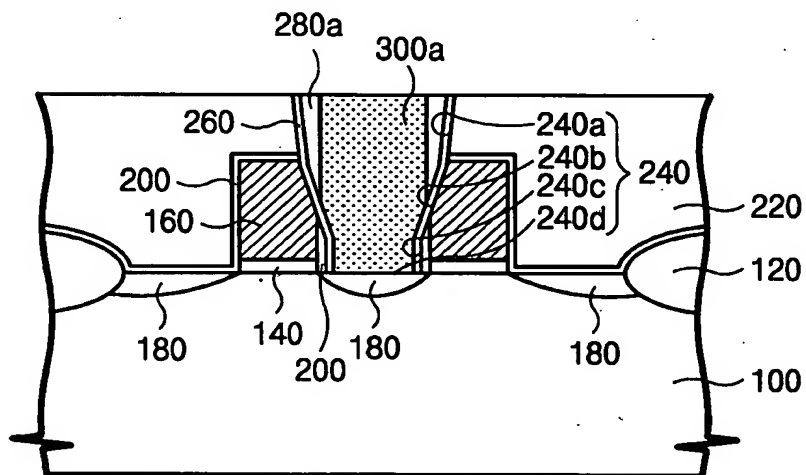
상기 층간 절연막은 단차 도포성 특성이 우수한 산화막으로 형성되고, 상기 버퍼 절연막은 단차 도포성 특성이 불량한 산화막으로 형성되는 자기 정렬 접착 형성 방법.

【도면】

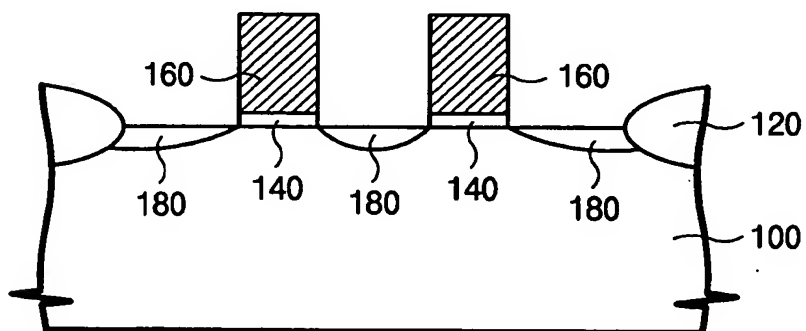
【도 1】



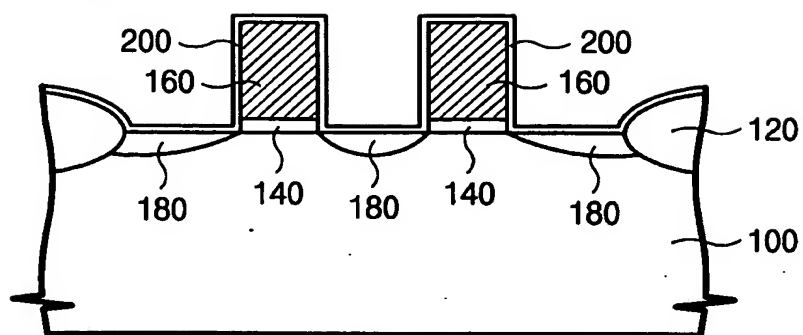
【도 2】



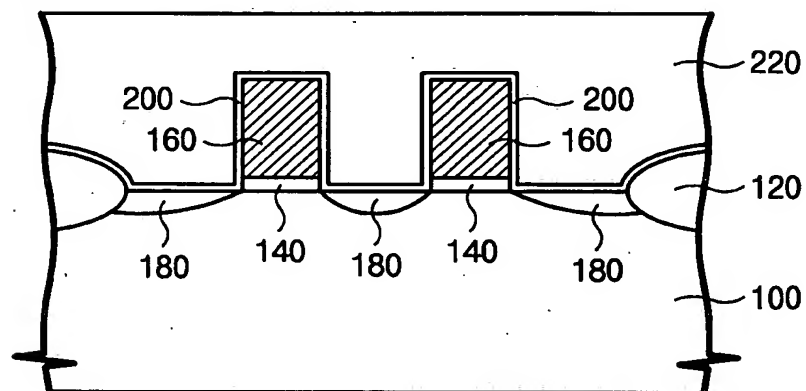
【도 3a】



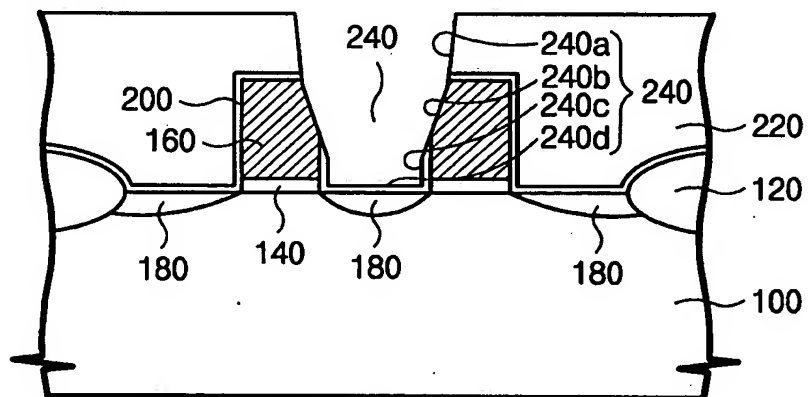
【도 3b】



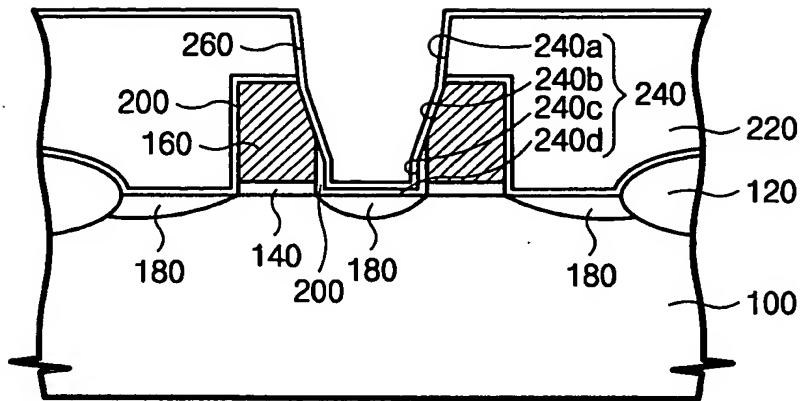
【도 3c】



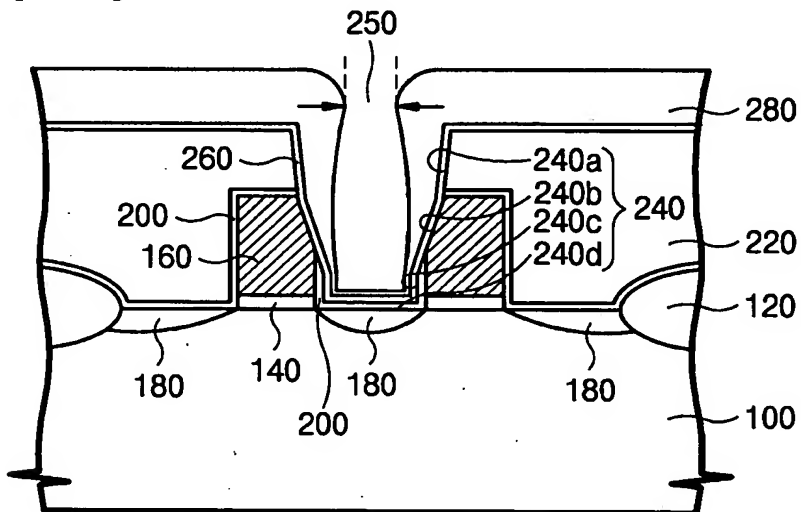
【도 3d】



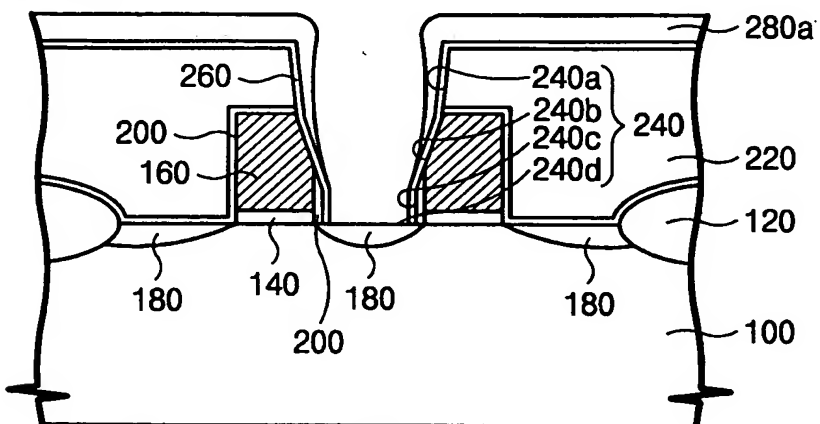
【도 3e】



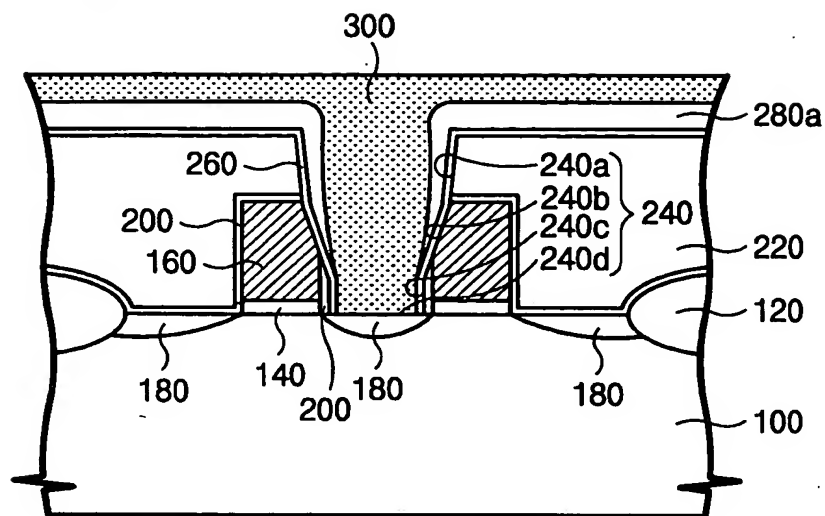
【도 3f】



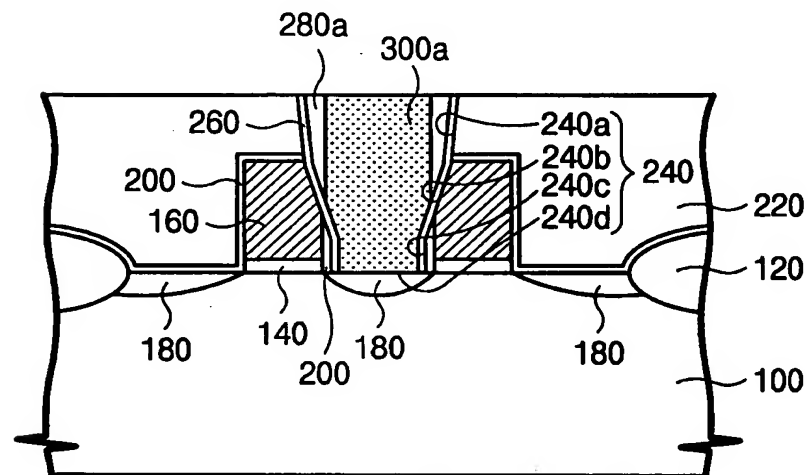
【도 3g】



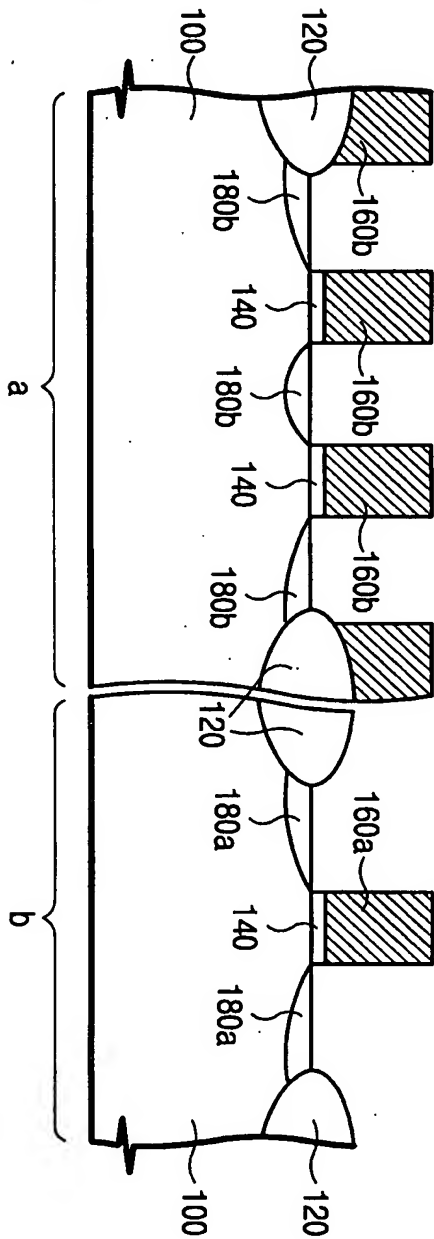
【도 3h】



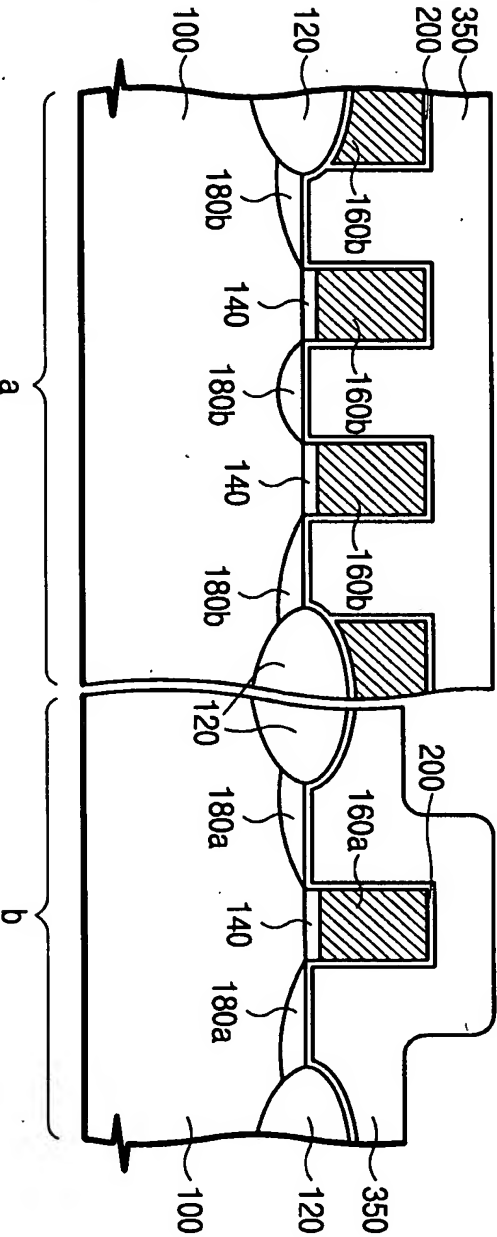
【도 3i】



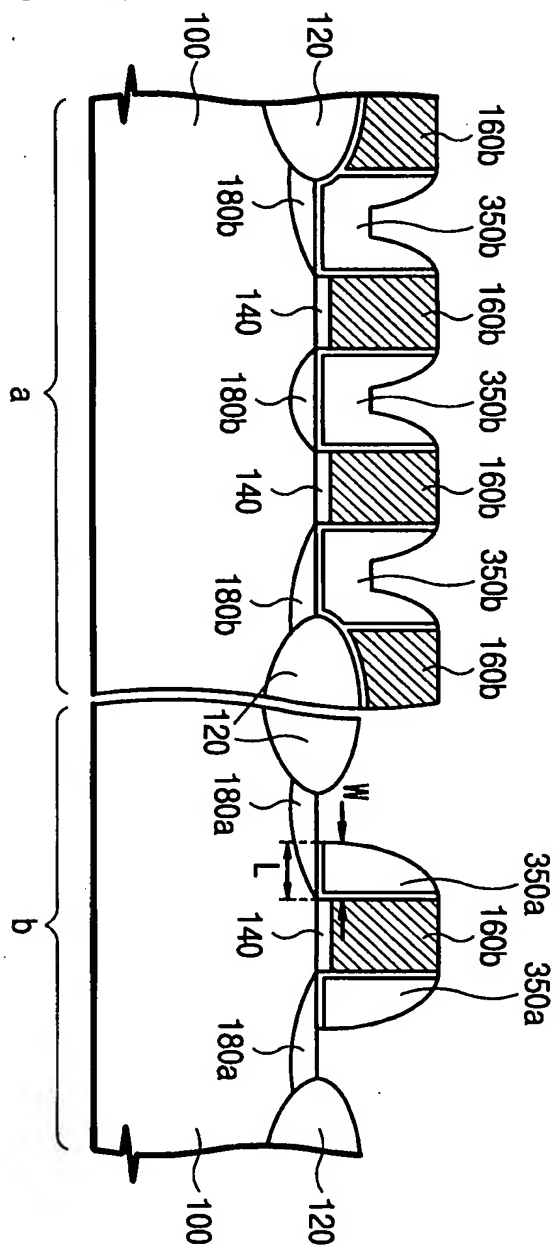
【도 4a】



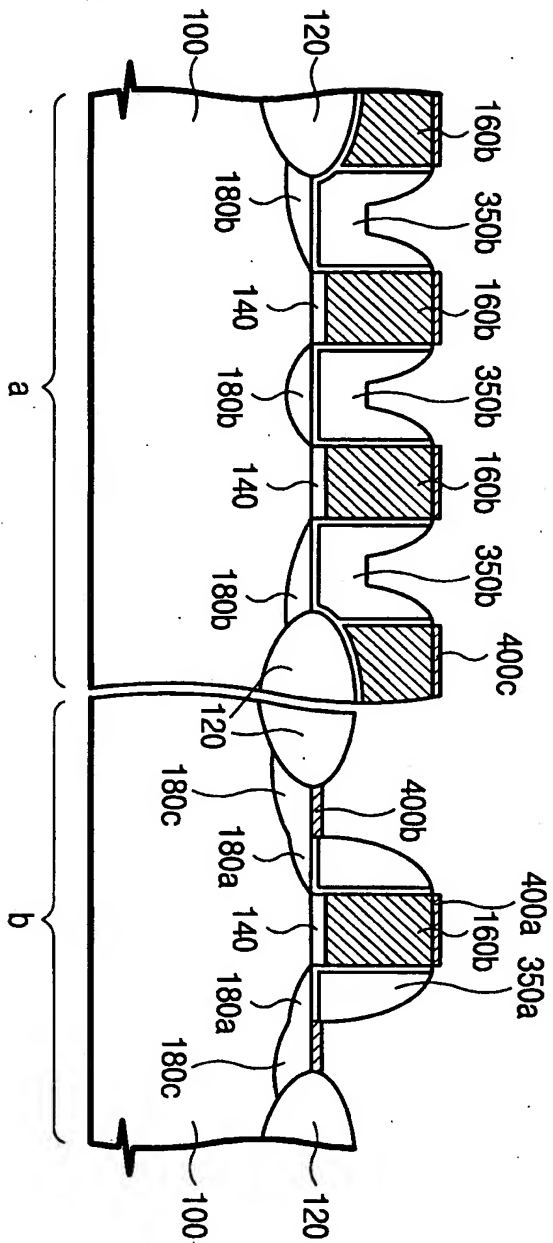
【도 4b】



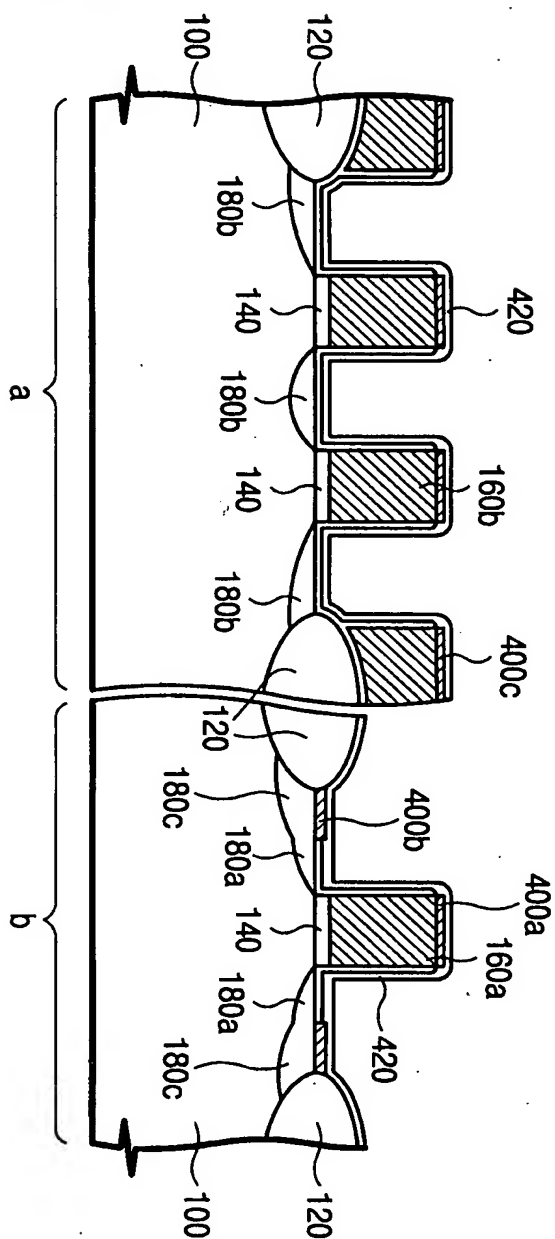
【도 4c】



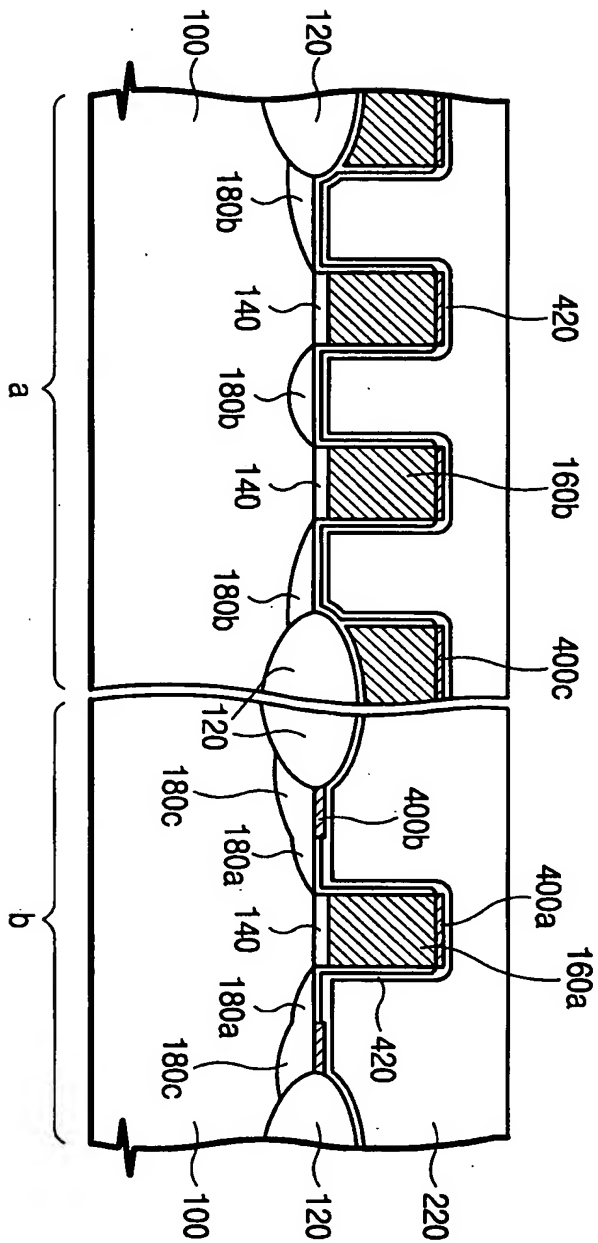
【도 4d】



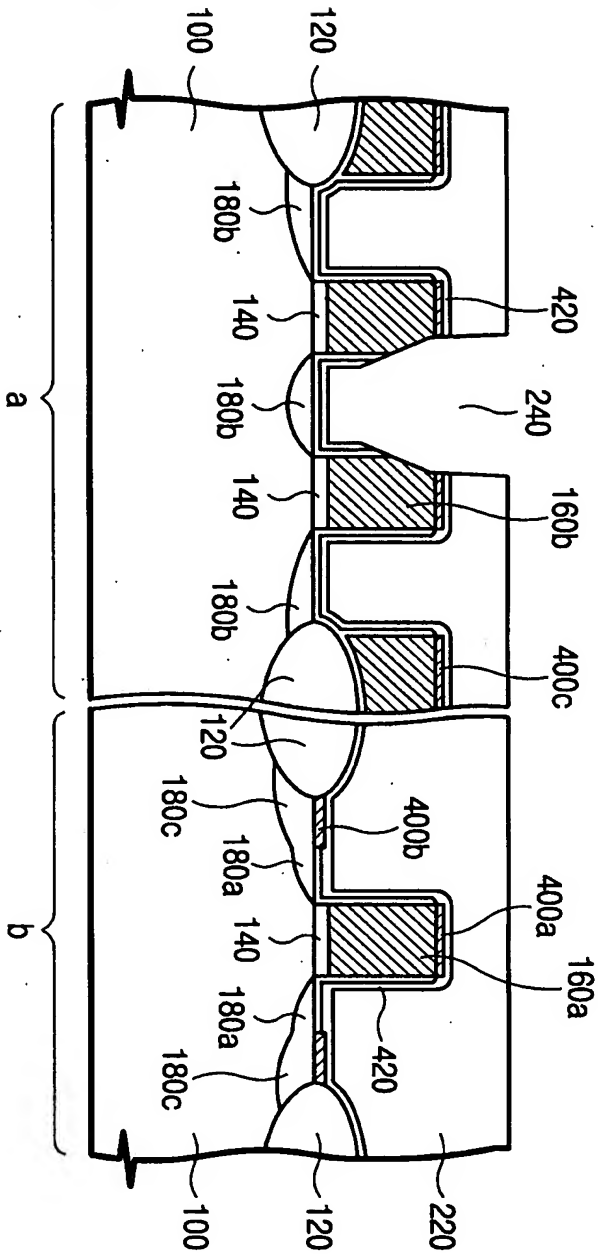
【도 4e】



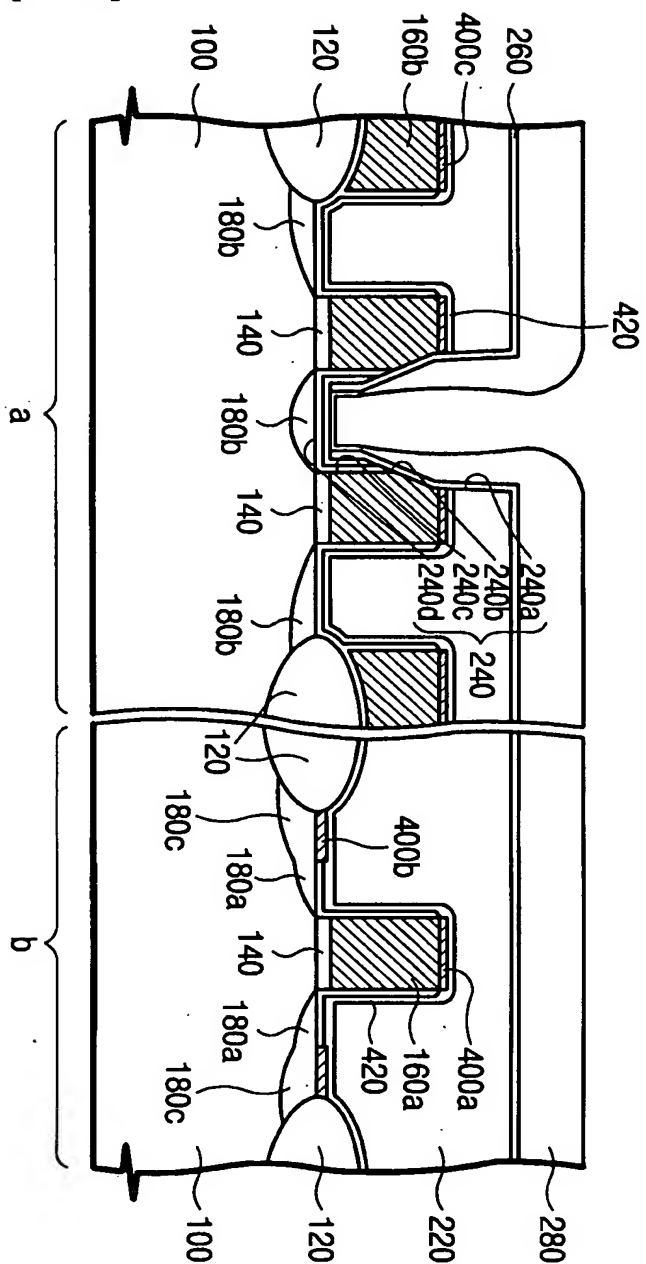
【도 4f】



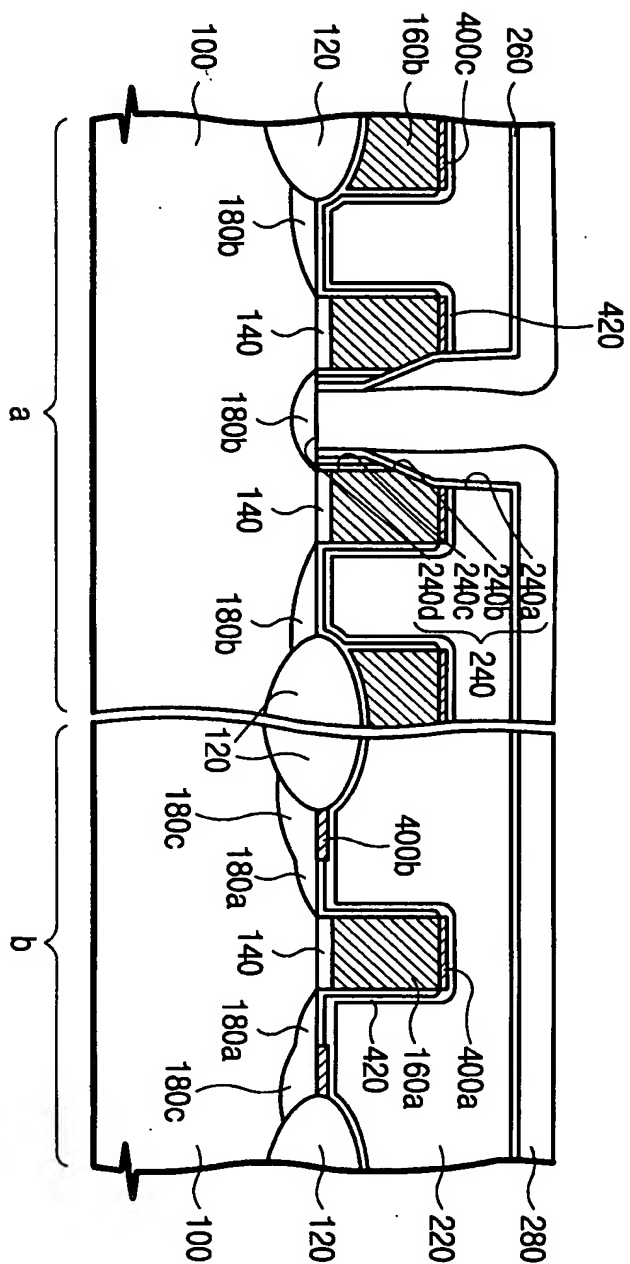
【도 4g】



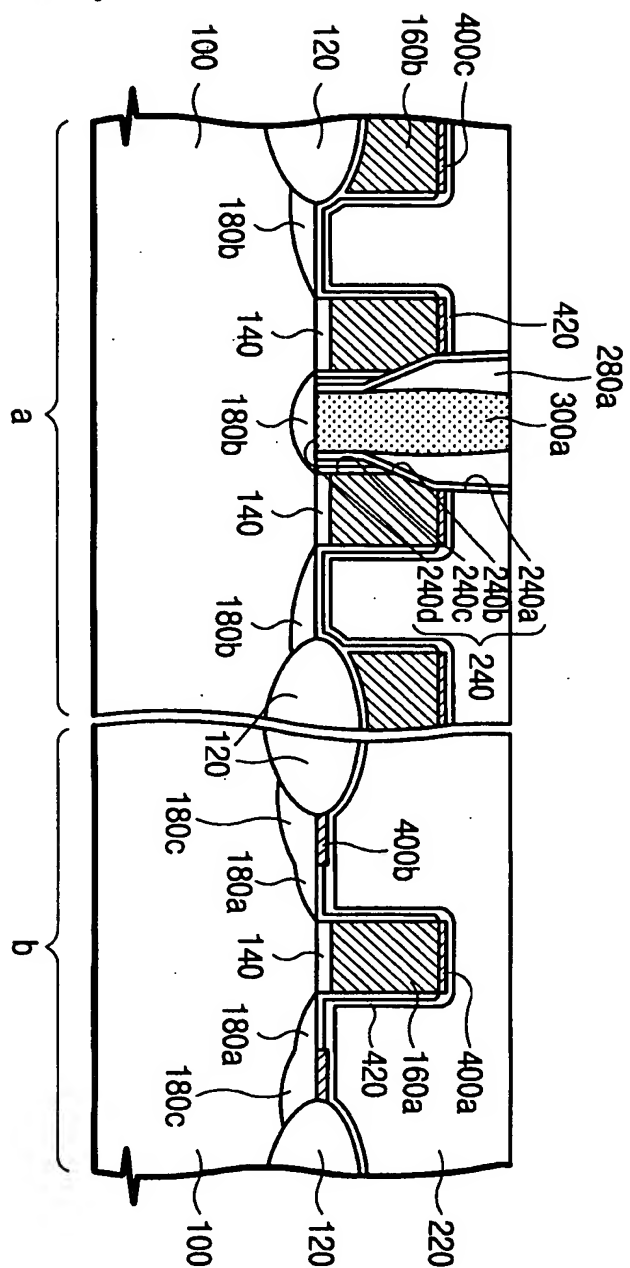
【도 4h】



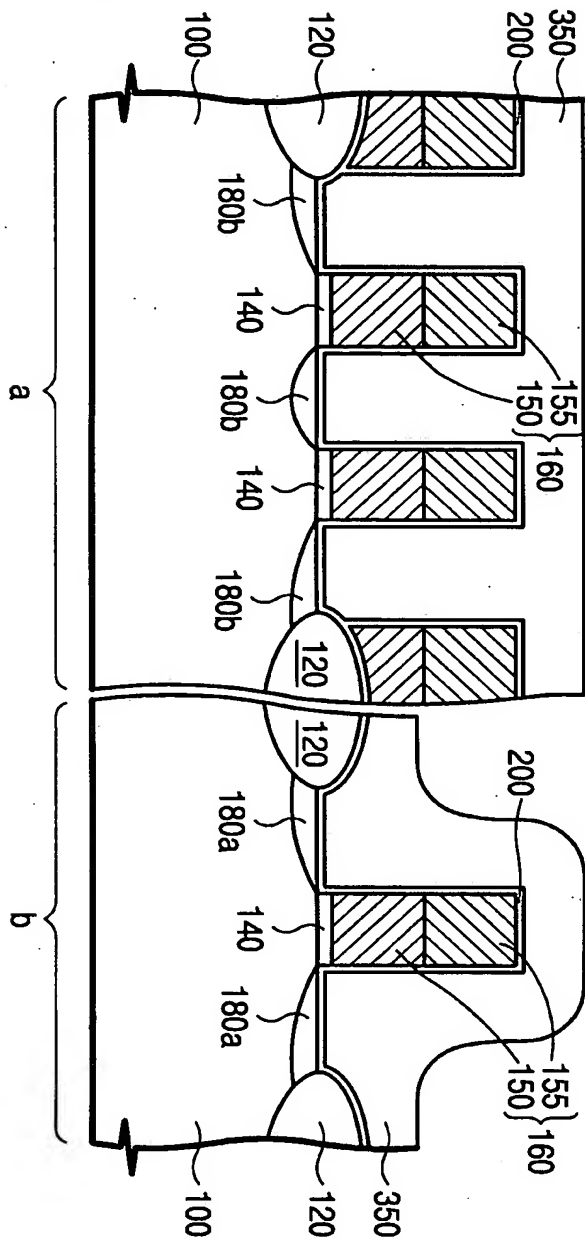
【도 4i】



【도 4j】



【도 5a】



【도 5b】

